

## P-MOSFET'lerdeki sıcak taşıyıcı yorulmalarının modellenmesi

Gürsel DÜZENLİ\*, H. Hakan KUNTMAN

İTÜ Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü, 34469, Ayazağa, İstanbul

### Özet

*Bu çalışmanın amacı, sıcak taşıyıcılar nedeniyle p-MOSFET'lerde oluşan parametre yorulmalarının analog uygulamalara uygun modellenmesidir. Tümdevre elemanların çalışmaları süresince sıcak taşıyıcıların neden olduğu elektronların tuzaklara yakalanma ve/veya tuzaklar oluşturma ve/veya yüzey tuzaklar oluşturmaları sonucunda oksit yükü ve tuzak yoğunluğu değişmektedir. Bu güne kadar sıcak taşıyıcıların oluşumu ve modellenmesi üzerinde çok sayıda çalışma bulunmaktadır. Fakat, bu araştırmaların tamamına yakını sayısal uygulamalar, için yapılmıştır. Analog uygulamalar, sayısal uygulamalara göre bir çok noktada farklılıklar göstermektedir. Önerilen model, sıcak taşıyıcı yorulma modelini ve ömür tahmin etme modelini, analog uygulamalarına uygun olarak, tek bir model olarak yeniden geliştirmiştir. Geliştirilen modelin simülasyon sonuçları, ölçüm sonuçları ile doğrulanmaktadır.*

**Anahtar Kelimeler:** Güvenilirlik, MOSFET modelleri, sıcak taşıyıcılar, sıcak taşıyıcıların ömür tahmini, SPICE simülasyonu.

### Modeling of hot-carrier degradation of p-MOSFET's

#### Abstract

*The focus of this paper is the modeling of parameter degradation reliability of p-MOS transistors due to the hot-carriers under analog operation. Hot-carrier failure cause can initiate the electron trapping/generation and/or interface trap creation mechanism leading to changes of oxide charge and trap densities during device operation. A lot of efforts have been devoted to study the mechanisms due to the hot-carrier and modeling the device degradation due to these effects. However, these modelings are often performed on digital applications. Analog applications differ from digital ones by a number of points. Analog circuit reliability prediction has to take analog circuit design variables such as channel length, biasing conditions, and circuit topography into consideration. In order to achieve highest possible speed, smallest area and smallest power consumption usually  $L=L_{min}$  are chosen for digital applications. However, for nearly all-analog applications this choice is inadequate because analog circuits usually use long-channel devices, the influence of hot-carrier effects on analog circuit performance has been believed to be minimal and, as a result, has been mostly overlooked. Therefore, the most important device parameters in these two application fields do not coincide. The proposed model includes a hot-carrier degradation model and a lifetime prediction model as a single model suitable for analog applications. The accuracy of the presented models has been verified with experimental data.*

**Keywords:** Hot-carrier, hot-carrier life time prediction, MOSFET models, SPICE simulation, reliability.

---

\*Yazışmaların yapılacağı yazar: Gürsel DÜZENLİ. gursel@duzenli.net; Tel: (264) 346 03 56.

Bu makale, birinci yazar tarafından İTÜ Elektrik-Elektronik Fakültesi'nde tamamlanmış "Development of MOSFET suitable for simulation of analog CMOS circuits after Hot-CARRIER stress" adlı doktora tezinden hazırlanmıştır. Makale metni 16.06.2003 tarihinde dergiye ulaşılmış, 24.06.2003 tarihinde basım kararı alınmıştır. Makale ile ilgili tartışmalar 30.09.2003 tarihine kadar dergiye gönderilmelidir.

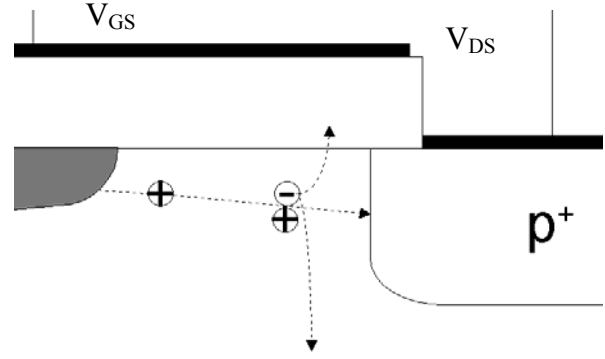
## Giriş

Mikroelektronğin en önemli elemanı MOS alan etkili transistordur. Yüksek yoğunluklu CMOS tümdevreler farklı çalışma gruplarını içerebilmektedir. Bu farklı grupların içinde önemli bir bölüm analog CMOS devrelerden oluşmakta olup analog grupların önemli olmasının nedeni sensörlerle algılanan çevremizdeki büyüklüklerin, analog işaretlerden oluşmasıdır.

Mikroelektronikteki yapıların devamlı küçültülmesinin asıl nedeni toplam üretim maliyetinin düşürülmesi ve rekabet şansının artırılmasıdır. Bunun gerçekleştirilebilmesi MOS transistörün kanal uzunluğunun küçültülmesine bağlıdır. Diğer tümdevre yapıları ile uyumlu olması ve çıkış/dinamik aralığı nedeniyle çoğu kez besleme geriliminin düşürülmesi istenilmez veya gerçekleştirilemez. Kanal uzunluğunun küçültülmesi, besleme geriliminin küçültülmesi sonucu kanal içindeki elektrik alan artmaktadır. Bu nedenle MOS transistörün savak ucuna yakın kanaldaki elektrik alan artışından dolayı daha fazla yük taşıyıcıları  $\text{SiO}_2$  geçit oksidin enerji seviyesini aşabilmektedir. Bu yüksek enerjili yük taşıyıcılara “sıcak taşıyıcılar” denmektedir. Bunlar transistörün  $\text{SiO}_2$  geçit oksidine ve  $\text{Si-SiO}_2$  ara yüzeyine zarar verebilmektedir. Transistörün  $\text{SiO}_2$  geçit oksidinin ve  $\text{Si-SiO}_2$  ara yüzeyinin zarar görmesi sonucu transistörün çalışma parametreleri değişebilmektedir. Bu olaya “yorulma” denmektedir.

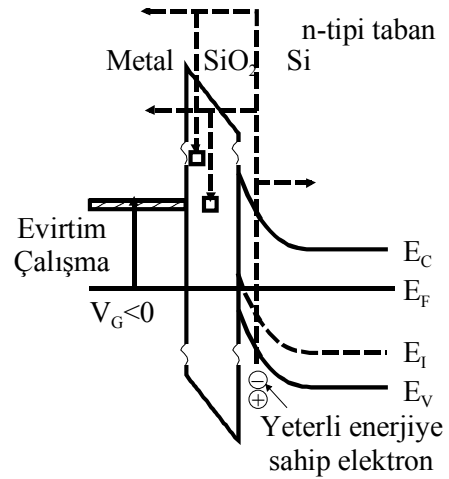
## P-MOS yorulması

P-MOS transistörlerde yorulma sadece elektronların oksitteki tuzaklara yakalanmaları sonucu oluşmaktadır. Şekil 1’de p-MOS transistörün yorulmasına neden olan mekanizma görülmektedir. Kanaldan çıkan delik kısılma bölgesindeki elektrik alanın etkisiyle hızlanmaktadır. Kısılma bölgesindeki deliğin  $1.5\text{eV}$ ’luk bir enerji ile bir atoma çarpması, yeni bir elektron-delik çiftini meydana getirebilmektedir. Meydana gelen delik diğer deliklerle savak ucuna doğru hareket ederek  $I_{DS}$  savak akımının bir miktar artmasına neden olmaktadır. Serbest kalan elektronların büyük bir kısmı tabana doğru hareket ederek  $I_B$  taban akımını oluşturmaktadır (Jang vd., 1997; Jean ve Wu, 1997; Groeseneken, 2001).



Şekil 1. Doymadaki P-MOS transistörün yorulma mekanizması

En az  $3.2\text{eV}$  enerjiye ve doğru yöne sahip elektronlar geçit oksidin enerji bariyerini aşarak oksidin içine girebilmektedir (Şekil 2). Geçit oksidinin içindeki elektrik alanı, elektronun geçit ucuna doğru hızlanmasına neden olmaktadır. Oksidin içine giren elektronların büyük bir kısmı geçit ucuna ulaşarak  $I_G$  geçit akımını oluşturmaktadır ( $I_G$  geçit akım değeri  $I_{DS}$  savak akım değerinden çok küçüktür). Oksidin içine giren elektronların bir kısmı üretim anında oluşan tuzaklara yakalanmaktadır. Tuzaklara yakalanan elektronlar oksitte sabit bir negatif yük oluşturmaktadır.



Şekil 2. P-MOS transistörün enerji bant diyagramı ile yorulma mekanizması

Okside giren elektronlar  $\text{Si-SiO}_2$  ara yüzeyine zarar verebilmektedir. Yeni oluşan bu ara yüzeyler, nadiren delikler tarafından doldurulduğu için yorulmaya olan etkisi ihmal edilmektedir. Oksitteki tuzaklara yakalanan elektronların

oluşturdukları negatif yük, transistörün tüm çalışma bölgelerindeki  $I_{DS}$  savak akımının artmasına neden olmaktadır. Fakat en büyük yorulma, doyma bölgesinde ( $V_G$  küçük değerlerinde iken  $V_{DS}$  yaklaşık  $V_{DSsat}$  iken) görülmektedir. Bu olayın doğru modellenmesi için  $V_{FB}$  düzbant gerilimini modelleyen bağıntının yeniden düzenlenmesi gerekmektedir.

### Düz-bant geriliminin etkisi

İş fonksiyonu ilk olarak metaller için tanımlandığından, fiziksel manasının açıklanması metaller için daha anlaşılır olmaktadır. Metallerde yasak bant olmadığından elektronlar Fermi seviyesinin etrafında bulunmaktadır. İş fonksiyonunun bu tanımlanması, yarıiletkenler için de kullanılmakta, fakat Fermi seviyesinin etrafında elektronlar bulunmamaktadır. Farklı metallere ait iş fonksiyonu değerleri bilinmektedir. Yarıiletken oluşturulurken kullanılan katkılama maddesinin türü ve miktarı Fermi seviyesini değiştirmektedir ve buna bağlı olarak iş fonksiyonunun değeri değişmektedir. Katkılama işlemi  $E_C$  ve  $E_V$  bantların değerlerini etkilememektedir.

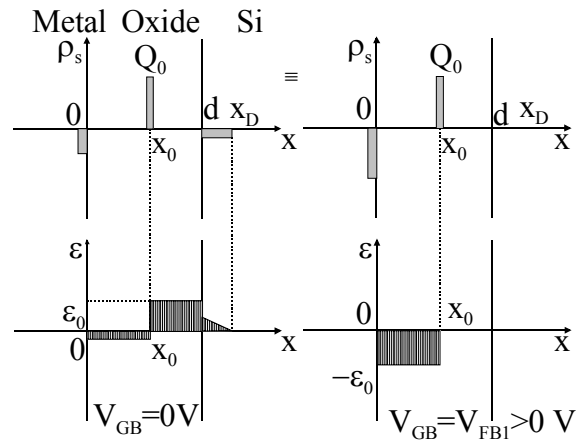
Referans noktası olarak sıfır kutuplama gerilim kullanılmamaktadır. Düz-bant durumunun referans olarak alınmasının başlıca nedeni, farklı kutuplama gerilimlerinde silisyum yüzeyin referansa göre değişiminin daha iyi algılanabilmesidir. Sıfır kutuplamada düz-bant oluşmamasının nedeni, iş fonksiyon farkından ve parazit yüklerden ( $Q_0$ ) kaynaklanmaktadır. Düz-bant durumunu elde etmek için oksidin içindeki ve oksit-silisyum ara yüzeyindeki elektrik alanın sıfır olması gerekmektedir. Elektrik alanın sıfır olması, elektrik potansiyelinde herhangi bir değişimin olmaması anlamına gelmekte, yani düz-bant durumuna karşılık gelmektedir. Düz-bant durumunu elde etmek için iş fonksiyonundan ve parazit yüklerden kaynaklanan etkiye karşılık geçit-taban arasına eşdeğer fakat zıt büyüklükte bir gerilim uygulanması gerekmektedir. Bu gerilim düz-bant gerilimi olarak adlandırılmaktadır ( $V_{FB}$ ).

Yüksek katkılı geçit ucundan dolayı oksit-geçit ara yüzeyindeki parazit yükler MOS transistörün çalışma özelliğine pek etki edememektedir. Buna karşılık oksit-silisyum ara yüzeyindeki

parazit yüklerin elektrik alanları kanal içindeki yük taşıyıcılarını etkilemektedir. Bu parazit oksit yüklerin oluşturduğu elektrik alan silisyum yüzeyine ait bantın bükülmesine neden olmaktadır. Bu bant bükülmesini engellemek için parazit oksit yüklerin oluşturduğu etkiyi kompanse edecek büyüklükteki geçite bir gerilim uygulanması gerekmektedir. Pozitif parazit yüklerin oluşturacağı etkiyi kompanse etmek için negatif bir gerilimin geçit ucuna uygulanması gerekmektedir. P-MOS ve N-MOS transistörlerde oluşabilecek tüm parazit oksit yüklerin oluşturduğu etkinin pozitif olduğu kabul edilmektedir (Tsiivdis, 1999; Thewes vd., 1992).

### Yorulmanın düz-bant gerilimine etkisi

Bu bölümde yorulmuş bir transistörde düz-bant gerilim ifadesi incelenmiştir. Şekil 3'te yorulmamış bir MOS tranzistörün kutuplanmamış ve kutuplanmış durumdaki yük dağılımı görülmektedir. Bu şekle göre düz-bant gerilim ifadesi Denklem (1)'de görülmektedir.

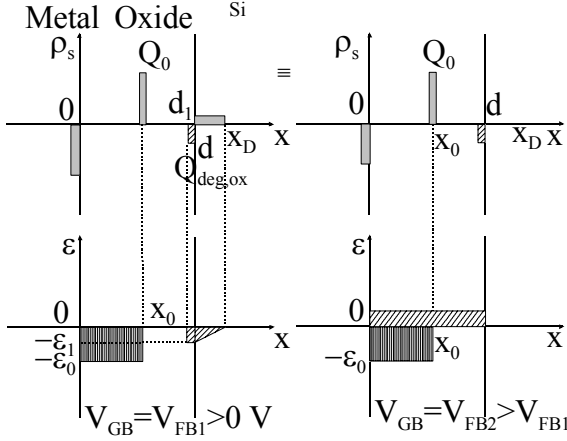


Şekil 3. Yorulmamış bir p-MOS transistörün düz-bant durumu

$$V_{FB1} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + \phi_{MS} \quad (1)$$

$V_{DS}=0$  için  $V_{FB1}>0$  ve  $\phi_{MS}>0$  dir. Bu durumda düz-bant durumunu elde edebilmek için  $V_{GB}=V_{FB1}$  olması gerekmektedir (Macpherson, 1972; Doucet ve De Wiele, 1973; De Wiele, 1984).

Yorulmuş bir MOS transistorda Si-SiO<sub>2</sub> ara yüzeyin üstünde yükler oluşmaktadır (Şekil 4). Bu durumda düz-bant gerilimini elde edebilmek için geçit gerilimi V<sub>GB</sub>'nin artırılması gerekmektedir. Yorulmuş bir MOS transistora ait düz-bant gerilim ifadesi Denklem (2)'de görülmektedir.



Şekil 4. Yorulmuş bir p-MOS tranzistorun düz-bant durumu

$$V_{FB2} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + \frac{Q_{deg,ox}}{\epsilon_{ox}} \cdot d + \phi_{MS} \quad (2)$$

V<sub>DS</sub>=0 için V<sub>FB2</sub>>V<sub>FB1</sub>>0 ve φ<sub>MS</sub>>0 dır. Bu durumda düz-bant durumunu elde etmek için V<sub>GB</sub>= V<sub>FB2</sub> olması gerekmektedir.

### Yorulmanın savak akımına etkisi

Bir tümdevredeki transistörün yorulması ve devre parametrelerinin değişmesinden dolayı tümdevrenin belirli bir süre boyunca hatasız çalışabilmesi gerekmektedir. Bunun sağlanabilmesi için transistörün en kötü çalışma durumu altında belirli bir süre boyunca belirli bir sınır değerini aşmamasının sağlanması gerekmektedir. Bu tür sınır değerlerinin belirlenmesi ve transistörün hangi parametrelerine uygulanmasının gerekli olacağına ait güvenlik kriterleri oluşturulur. Transistörün veya bir devrenin belirlenmiş bir çalışma koşulu altında güvenlik kriterlerini aşmadığı süreye transistörün veya devrenin "ömürü" denir. Güvenlik kriterlerinin aşılmayıp aşılmadığını kontrol etmek için özel kısa zamanlı yorma deneyleri uygulanmaktadır. Bu deneylerin

uygulama süreleri birkaç dakika ile birkaç saat arasında değişebilir. İnterpolasyon yöntemi yardımı ile normal çalışma koşulları altındaki ömür bulunmaya çalışılmaktadır (Thewes vd., 1992).

Yorulma süresine göre Q<sub>deg,ox</sub> yükü artmaktadır, buna bağlı olarak I<sub>DS</sub> savak akımı artmaktadır. I<sub>DS</sub> savak akımının yorulmaya bağlı en genel ifadesi denklem (3) ve (4)'te görülmektedir.

$$I_{DS,lin} = -\frac{\mu_p \cdot W_{eff} \cdot C_{ox}}{L_{eff}} \cdot \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 + \lambda_{lin} V_{DS}) \quad (3)$$

$$I_{DS,sat} = -\frac{\mu_p \cdot W_{eff} \cdot C_{ox}}{2 \cdot L_{eff}} \cdot (V_{GS} - V_{TH})^2 \cdot (1 + \lambda_{sat} V_{DS}) \quad (4)$$

$$V_{TH} = V_{FB2} + 2\phi_f - \gamma \sqrt{2\phi_f - V_{BS}} \quad (5)$$

$$\phi_f = \frac{kT}{q} \cdot \ln \frac{n_i}{n_o} \quad (6)$$

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_D}}{C_{ox}} \quad (7)$$

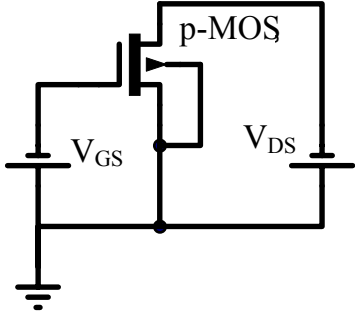
$$L_{eff} = L - 2 \cdot x_j \quad (8)$$

$$W_{eff} = W \quad (9)$$

### Deneysel sonuçlar

Bu çalışmada boyutları, W<sub>eff</sub>=10µm, L<sub>eff</sub>=2µm ve proses parametreleri, t<sub>ox</sub>=20nm, x<sub>j</sub>=400nm olan bir transistör kullanılmıştır. Deneylerde transistörün test edilmesi için ölçüm cihazı olarak HP4145B parametre analizörü kullanılmıştır. Şekil 5'teki devre düzeneğinde, P-MOS transistörün yorulması için kurulan kutuplama devresi görülmektedir. Bu düzenek HP4145B

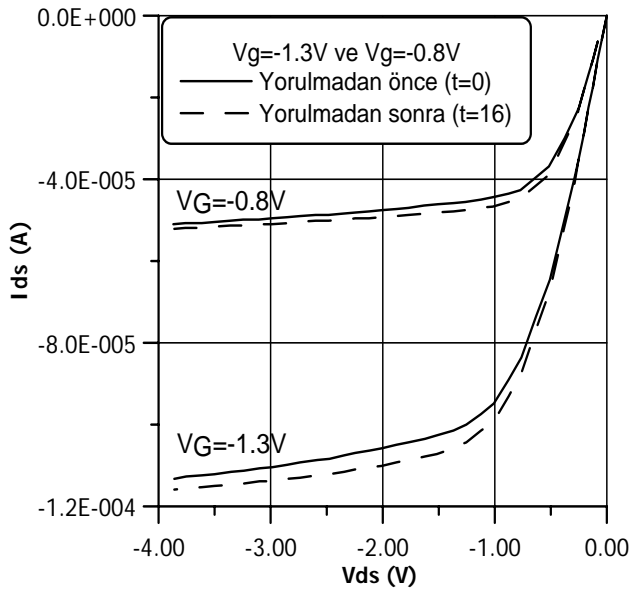
parametre analizörü ile kurulmuştur. Yorma gerilimi olarak  $V_D = -7V$  ve  $V_G = -1.5V$  ve toplam yorma süresi olarak 16 saatlik bir zaman aralığı seçilmiştir. Bu yorulmalardan önceki ve sonraki çıkış özeğrileri Şekil 6'da görülmektedir (Kaçar vd., 2000; Düzenli ve Kuntman 2001; Düzenli ve Kuntman, 2002).



Şekil 5. P-MOS ölçüm deney düzeneği

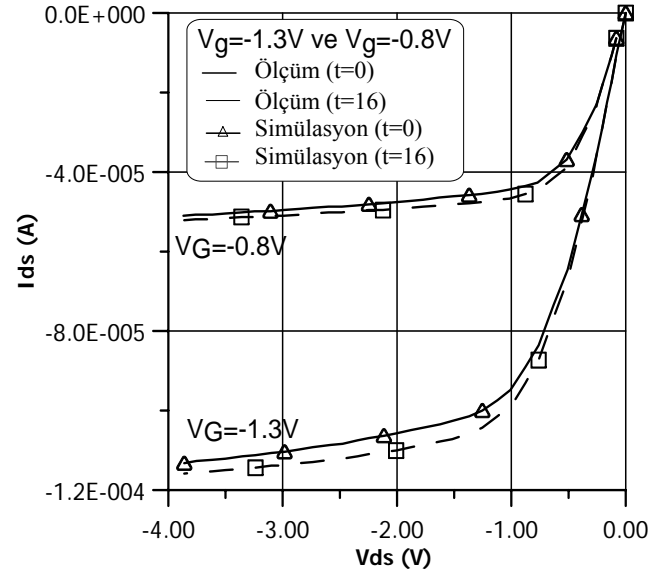
Şekil 6'da verilen ve deneysel olarak elde edilmiş olan veriler kullanılarak  $t=16$  saat için  $V_{FB2}$  denklemi aşağıdaki gibi elde edilmiştir.

$$V_{FB2} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + (100 + 10 \cdot V_{DS} - 0.7 \cdot V_{DS}^2) \cdot 10^{-3} + \phi_{MS} \quad (10)$$



Şekil 6. P-MOS transistorun yorulmadan önce ve sonra  $V_{GS} = -1.3V$  ve  $V_{GS} = -0.8V$  için çıkış özeğrileri ( $V_{DS,yorma} = -7V$ ,  $V_{GS,yorma} = -1.5V$ ,  $t = 16$  saat)

Denklem (10) kullanılarak elde edilen simülasyon sonuçları ile deneysel sonuçların karşılaştırılması Şekil 7'de görülmektedir.



Şekil 7. P-MOS transistorun yorulmadan önce ve sonra  $V_{GS} = -1.3V$  ve  $V_{GS} = -0.8V$  için simülasyon ve ölçüm sonuçları

## Sonuçlar ve tartışma

Bu çalışmada, sıcak taşıyıcıların p-MOS transistorların savak akımı üzerindeki etkileri incelenmiş ve yeni bir model önerilmiştir. Önerilen bu modeldeki  $Q_{deg,ox}$  yükü belirli bir proses için deneysel sonuçlardan hareket edilerek belirlenmektedir. Elde edilen  $Q_{deg,ox}$  yükü aynı proses yardımıyla üretilen tüm transistorlar için geçerli olmaktadır. Böylece, önerilen SPICE benzetimi kullanılarak, herhangi bir analog devrenin yorulmadan önceki ve yorulmadan sonraki parametre değişimleri ve bunların devre üzerindeki etkileri kolayca incelenebilecektir. Bu da tümdevre tasarımcıları için, devre tasarım süresince, önemli kolaylıklar sağlamaktadır.

## Kaynaklar

- De Wiele, F. V., (1984). On the Flat-Band voltage of MOS structures on nonuniformly doped substrates, *Solid State Electron*, **26**, 824-826.
- Doucet, G. ve De Wiele, F. V., (1973). Threshold voltage of nonuniformly doped MOS structures, *Solid State Electron*, **16**, 417-423.

- Düzenli, G. ve Kuntman, H., (2001). P-Mosfet'lerde Sıcak Taşıyıcıların Modellenmesi İçin Yeni Bir Yöntem, *Elektrik-Elektronik-Bilgisayar Mühendisliği 9. Ulusal Kongresi Bildiri Kitabı*, 355-358, Kocaeli.
- Düzenli, G. ve Kuntman, H., (2002). The Basic of an Analytical Model Development for the P-MOS Transistor Degradation, *8th International Conference, Proceedings of OPTIM*, 829-834, Braşov, Romania.
- Groeseneken, G., (2001). Hot carrier degradation and ESD in submicron CMOS technologies: how do they interact?, *IEEE Transaction on Device and Materials Reliability*, 1, 23-32.
- Jang, S. L., Tang, T. H., Chen, Y. S. ve Sheu, C. J. (1997). Modeling of hot carrier stressed characteristic of submicrometer pMOSFET, *Solid State Electron*, 7, 39, 1043-1049.
- Jean, Y. S. ve Wu, C. Y. (1997). The threshold voltage model of mosfet devices with localized interface charge, *IEEE Transaction on Electron. Device*, 3, 44, 441-447.
- Kaçar, F., Kuntman, A., Kuntman, H. ve Düzenli, G., (2000). Mosfet'lerde sıcak taşıyıcıların eşik gerilimine etkisinin modellenmesi için yeni bir yaklaşım, *ELECO'2000*, Bursa.
- Macpherson, M. R., (1972). Threshold shift calculations for ion implanted MOS devices, *Solid State Electron*, 15, 1319-1326.
- Thewes, R., Brox, M., Tempel, G., Weber, W. ve Goser, K., (1992). Hot-Carrier Degradation of p-MOSFET's in Analog Operation: The Relevance of the Channel-Length-Independent Drain Conductance Degradation, *IEDM Technical Digest*, 531-534.
- Thewes, R. ve Weber, W., (1997). Effects of hot carrier degradation in analog CMOS circuits, *Micro Electron Engineering*, 36, 285-292.
- Tsividis, Y., (1999). *The MOS Transistor*, 54pp, McGraw-Hill Press, USA.