

Kısmen belirli ardışıl makinelerde durum indirgeme için yöntem geliştirme

Orhan UÇAR*, Ahmet DERVİŞOĞLU

İTÜ Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü, 34469, Ayazağa, İstanbul

Özet

Bu çalışmada, kısmen belirli ardışıl makinelerde durum indirgeme konusu ele alınmıştır. Durum indirgeme için geliştirilen algoritmalar, Boole fonksiyonlarının birlikte indirgenmesi, durum kodlama ve tek koşullu örtü problemi çözme gibi lojik tasarımın diğer adımlarına da uygulanmıştır. Bu çalışmada kullanılan kapalı yollar kümesi kavramına ve bu kümeden minimal kapalı örtü elde etmeye dayanan bir yöntem literatürde rastlanmamıştır. Bu algoritmalara dayanan, SRC (State Reduction and Covering) programı geliştirilmiştir. SRC, MCNC ve diğer bençmarklarda Rho yöntemi (Rho vd., 1994) ve Puri yöntemi (Puri ve Gu, 1993) ile karşılaştırılmıştır. Test sonuçlarından da görüldüğü gibi SRC programı özellikle kritik bençmarklarda daha iyi sonuç vermiştir.

Anahtar Kelimeler: lojik tasarım, algoritma, durum indirgeme, örtü problemi.

State reduction of incompletely specified finite sequential machines

Abstract

This paper is concerned with the problem of synthesizing a class of digital circuits, sequential circuits, more specifically state reduction of of incompletely specified sequential circuits. State reduction is an important step in the design of the synchronous and asynchronous sequential circuits. The algorithms which are developed for state reduction, are also applied to other steps of the logic synthesis, such as multiple-output Boolean minimization, state encoding and unite/binate covering problems. In this paper three algorithms are presented to find a minimal equivalent of a given incompletely specified finite sequential machine. These algorithms use a new concept; closed paths constituted by compatibles or prime compatibles. This closed paths concept and an algorithm which uses this concept is not observed in the literature. These algorithms are implemented in an efficient computer program SRC (State Reduction and Covering). SRC is run and tested on several FSMs including the MCNC FSM benchmarks and the results are given in conclusion. From the test results, it can be seen that, despite of the limited computing resources, SRC is more efficient on all benchmarks, especially on the critical benchmarks. Using these algorithms, MORP (Multiple Output Reduction Program) developed to realize m Boolean functions with n variables. State reduction methods which are developed in this work, are also applied to state encoding problem and a computer program, OPASKOD (Race-free State Assignment Program) developed.

Keywords: logic synthesis, algorithm, state reduction, covering problem.

*Yazışmaların yapılacağı yazar: Orhan UÇAR. oucar@netas.com.tr; Tel: (216) 522 22 41.

Bu makale, birinci yazar tarafından İTÜ Elektrik-Elektronik Fakültesi'nde tamamlanmış olan "Kısmen belirli ardışıl makinelerde durum indirgeme için yöntem geliştirme ve geliştirilen yöntemlerin başka lojik tasarım konularına uygulanması" adlı doktora tezinden hazırlanmıştır. Makale metni 23.02.2004 tarihinde dergiye ulaşmış, 10.03.2004 tarihinde basım kararı alınmıştır. Makale ile ilgili tartışmalar 31.08.2005 tarihine kadar dergiye gönderilmelidir.

Giriş

VLSI devreleri modern elektronik ürünlerinde yaygın olarak kullanılmaktadır. Tümüleşik devre tasarımı tekniğinin 1959 yılında geliştirilmesinden bu yana tek bir çipe sığdırılabilen transistor sayısı neredeyse her iki yılda bir iki katına çıkmaktadır. VLSI devrelerinin karmaşıklığı ve performans gereksinimleri zaman geçtikçe üstel olarak arttığından VLSI devre tasarımı işleminde CAD (Computer Aided Design) yazılımlarının kullanılması zorunluluk haline gelmiştir. Bu Tezde dijital devrelerin bir alt kümesi olan ardışıl devrelerin sentezinde kullanılan durum indirgeme yöntemleri ile ilgili yeni yöntemler geliştirilmiştir. Geliştirilen yöntemler Boole fonksiyonlarının indirgenmesi ve durum kodlama gibi diğer lojik tasarım konularına da uygulanmıştır.

Lojik devreler (i) Kombinezonsal (combinational), (ii) Ardışıl (sequential) lojik devreler şeklinde ikiye ayrılır. Genel olarak bir lojik devre, n girişli, m çıkışlı bir devredir.

Genel olarak lojik devreler tasarlanırken devre ister ardışıl ister kombinezonsal olsun farklı tasarım adımlarında temel algoritmalar kullanılır. Durum indirgeme tasarım adımında geliştirilen teknikler durum kodlama tasarım adımında da kullanılabilir. Bununla birlikte ardışıl devre tasarımında kullanılan bu teknikler kombinezonsal devre tasarımında veya görüntü işleme gibi farklı alanlarda da kullanılabilir.

Bu çalışma 5 ana kısımdan oluşmaktadır. Bu kısımlar şunlardır:

- 1) Kısmen belirli ardışıl makinelerde durum indirgeme için yeni bir yöntemin ve bu yöntemeye dayanan bir bilgisayar programının (SRC) geliştirilmesi.
- 2) Durum indirgeme için geliştirilen tekniklerin Boole fonksiyonlarının indirgenmesine uygulanması ve bu yöntemeye dayanan bir bilgisayar programının (MORP) geliştirilmesi.
- 3) Durum indirgeme için geliştirilen tekniklerin durum kodlama problemine uygulanması ve bu yöntemeye dayanan bir bilgisayar programının (OPASKOD) geliştirilmesi.

4) Tek koşullu bir örtü problemi için bir minimal örtüyü veya bütün minimal örtüleri bulan bir yöntemin ve bu yöntemeye dayanan bir bilgisayar programının (UCPS) geliştirilmesi.

5) Örtü problemlerinde minimal çözümü bulmaya yönelik yeni yaklaşımlar.

Durum indirgeme yöntemi

Bu çalışmada senkron/asenkron ardışıl devrelerde durum indirgenmesine ilişkin minimal sonuç veren yeni bir yöntem geliştirilmiştir. Bu yöntemde kullanılan teknikler Boole fonksiyonlarının indirgenmesine ve ardışıl devrelerin kodlanmasına da uygulanmıştır. Bu teknikler tek koşullu (unate covering) veya iki koşullu (binate covering) örtme problemleri ile karşılaşılan diğer alanlarda da kullanılabilir.

Geliştirilen yöntem üç algoritmadan oluşmaktadır. Bu algoritmalar aşağıda verilmiştir:

a) **Algoritma 1:** Maksimal uyumlular sınıfı C_s 'nin ve C_s 'den bir minimal örtünün bulunması.

b) **Algoritma 2:** Uyumlu Çiftlerden oluşan kapalı yolların (P_p) bulunması, uyumlu sınıflardan oluşan kapalı yolların (P_u) bulunması ve asal uyumlu sınıflardan oluşan kapalı yolların (P_a) bulunması, maksimal uyumlu sınıflardan oluşan kapalı yolların (P_s) bulunması.

c) **Algoritma 3:** P_p , P_u , P_a , P_s kapalı yollar kümelerinden yararlanarak minimal kapalı örtünün elde edilmesi.

İlk algoritmada C_s 'den elde edilen minimal örtüdeki blok sayısı minimal makinedeki durum sayısı için bir alt sınır oluşturur.

İkinci algoritmada P_s kümesinden elde edilen minimele yakın kapalı örtüdeki blok sayısı minimal makinedeki durum sayısı için bir üst sınır oluşturur. Birçok durumda bu üst sınır minimal makinedeki durum sayısını vermektedir. Eğer alt sınır üst sınıra eşit ise minimal makine C_s 'nin bloklarından elde edilmekte ve P_p , P_u ve P_a kapalı yollar kümeleri oluşturulmamaktadır.

Üçüncü algoritmada bir önceki adımda elde edilen P_p , P_u , P_a ve P_s kapalı yolları kullanılır. Bu kümelerin herhangi birinden yararlanarak

minimal kapalı örtünün elde edilmesi mümkündür. Fakat P_a kapalı yollar kümesi kullanılarak çok kısa sürede minimal kapalı örtü elde edilebilmektedir. Bu nedenle geliştirilen programda P_a kapalı yollar kümesi kullanılarak minimal kapalı örtü elde edilmektedir.

Bu çalışmada ortaya atılan, C_a veya C_u blokları ile kapalı yollar elde etme kavramına literatürde rastlanmamıştır. Bu çalışmada P_a ve P_u kapalı yollar kümesi kavramı tanımlanmış ve bu kümelerden minimal kapalı örtüyü elde etmek için bir yöntem önerilmiştir. P_a kapalı yollar kümesi kavramı, bunun dışında, başka alanlarda da kullanılabilir. Örneğin, C_a bloklarını eleyerek, blok sayısını azaltmak için bu kavramdan yararlanılabilir.

Algoritmanın adımları

Geliştirilen algoritmayı oluşturan adımlar aşağıda verilmiştir:

Adım 1: Verilen ardışıl devreye ilişkin durum tablosundan çiftler tablosunu kullanarak uyumlu ve uyumsuz durum çiftlerini belirle. Eğer bu işlem sonucunda uyumlu durum çifti elde edilemezse verilen ardışıl makine minimaldir. Eğer uyumsuz durum çifti elde edilemezse verilen makinedeki bütün durumlar eşdeğerdir ve minimal makinedeki durum sayısı 1'dir; yani, karşı düşen devre kombinezonsaldır.

Adım 2: Uyumlu ve uyumsuz durum çiftlerinden yararlanarak maksimal uyumlular sınıfı C_s 'yi elde et.

Adım 3: Eğer uyumlu çift sayısı, uyumsuz çift sayısından büyük ise maksimal uyumsuzlar sınıfını elde et. Maksimal uyumsuzlar sınıfının en büyük bloğu M_2 'deki durum sayısı m_2 'yi alt sınır olarak al. Eğer uyumsuz çift sayısı, uyumlu çift sayısından büyük ise C_s sınıfından yararlanarak bir minimal örtü elde et. Minimal örtüdeki blok sayısını alt sınır olarak al. Bu işlemler sonucunda minimal makinedeki durum sayısı için bir alt sınır (LB) elde edilir. Bu adımda ayrıca durum sayısı ve C_s 'deki blok sayısından küçük olanı ile bir üst sınır (UB) elde edilir. Yani, üst sınır $UB = \min\{n, |C_s|\}$ 'dir.

Eğer alt sınır üst sınıra eşit ise minimal makine elde edilmiş olur. Bu durumda üst sınır durum sayısı n 'ye eşit ise minimal makinedeki durum sayısı n 'dir ve minimal makine n tane durumdan oluşur. Eğer alt sınır üst sınıra eşit ve üst sınır C_s 'deki blok sayısına eşit ise minimal makine C_s 'nin bloklarından oluşur.

Adım 4: Rho yöntemi (Rho vd., 1994) yönteminde verilen algoritmaya benzer şekilde bir maksimal uyumlular grafi oluştur. Bu graftaki her düğüm bir uyumlu durum çifti yerine C_s sınıfının bir bloğudur. Bu graftan, Tarjan (1972) algoritması kullanarak kuvvetli bağlı bileşenler kümesini (SCC) oluştur. Bir bloğun belirli bir giriş için birden çok izleyicisi varsa, ilk karşılaşılan blok izleyici olarak seçilmektedir. Bu nedenle C_s 'den elde edilen kapalı örtü, bir bloğun belirli bir giriş için birden çok izleyicisi yoksa minimal, aksi halde minimal veya minimale yakındır.

Adım 5: Kuvvetli bağlı bileşenler algoritmasını kullanarak C_s bloklarından oluşan kapalı yollar kümesini elde et. Bu kümenin elde edilmesi ile minimal kapalı örtü bulma problemi minimal örtü bulma problemine indirgenmiş olur. Bu tez çalışmasında geliştirilen bir örtü bulma algoritması ile minimal örtü çok kısa sürede elde edilir.

Adım 6: Adım 5'te elde edilen minimale yakın veya minimal kapalı örtüdeki blok sayısından üst sınırı (UB) elde et. Eğer alt sınır üst sınıra eşit ise minimal makine elde edilmiş olur. Bu durumda Adım 5'te elde edilen minimal kapalı örtünün blokları minimal makinenin bloklarıdır. Adım 6 sonunda minimal makine elde edilemezse P_p , P_u , P_a kapalı yollar kümelerinden herhangi biri kullanılarak minimal makine oluşturulabilir.

Adım 7: P_p kapalı yollar kümesini elde etmek için düğümleri uyumlu çiftler olan uyumlu çiftler grafi oluşturulur. Benzer şekilde P_u kapalı yollar kümesini elde etmek için düğümleri uyumlu sınıflar olan uyumlular grafi, P_a kapalı yollar kümesini elde etmek için düğümleri asal uyumlu sınıflar olan asal uyumlular grafi oluşturulur.

Bu adımda elde edilen graflar ve Tarjan (1972) algoritması kullanılarak P_p , P_u , P_a kapalı yollar kümeleri oluşturulur. Elde edilen kapalı yollar eleme işleminden geçirilir. Eleme işleminde bir kapalı yol için alt sınır LB hesaplanır. Eğer $LB \geq UB$ ise bu kapalı yollar elenir. Eleme işlemi aşağıda verilen 4 yol ile yapılabilir.

- 1) Kapalı yolu oluşturan blokların sayısının kullanılması ($\|LB\|_0$)
- 2) Kapalı yoldaki blokların C_a blokları kullanılarak sıkıştırılması, bu yol ile içerilen blokların atılarak kapalı yoldaki blok sayısının azaltılması ($\|LB\|_1$)
- 3) Kapalı yoldaki blokların C_s blokları ile örtülecek şekilde bir minimal örtünün bulunması ($\|LB\|_2$)
- 4) Kapalı yola, yolun örtmediği durumlar eklenerek elde edilen kapalı yol bloklarının, C_s blokları ile örtülecek şekilde bir minimal örtünün bulunması ($\|LB\|_3$)

Bu çalışmada 2'nci eleme yöntemi ile eleme işleminden geçirilen kapalı yollar, algoritmanın bir sonraki adımında kullanılarak (Adım 8), bir üst sınır (UB) elde edilir. 4'üncü eleme yönteminden geçirilen kapalı yollar algoritmanın bir sonraki adımında kullanılarak (Adım 8), bir minimal makine elde edilir.

Adım 8: Bir s_i durumunu içeren kapalı yolların oluşturduğu küme S_i olsun. Bütün durumlar için S_i ($i=1,2,\dots,n$) kümelerini elde et. Her bir S_i kümesinden bir kapalı yol olarak oluşturulan kümenin bir minimal makine veya bir üst sınır oluşturup oluşturmadığını kontrol et. Üst sınır ve alt sınır kullanılarak pek çok kombinezon elenebilir ve böylece Algoritma 3 oldukça hızlandırılabilir. Bu adım P_p kapalı yollar kümesinin kullanılması durumunda çok uzun sürebilir. Bunun iki ana nedeni vardır:

- (i) Uyumlu çiftlerden oluşan bir kapalı yolun maliyetinin belirlenmesi uzun süren bir işlemdir.
- (ii) Kapalı yollardan oluşan bir kümeye yeni bir kapalı yol eklendiğinde toplam kapalı yol maliyetinin belirlenmesi uzun süren bir işlemdir.

Bu adımda P_u kapalı yollar kümesinin kullanılması durumunda yukarıdaki iki zorlukla karşılaşmadığından işlem süresi oldukça kısadır. Bu-

nunla birlikte bu adımda P_a kümesinin kullanılması ile işlem süresi daha da azaltılabilir. Bunun nedeni C_a kümesindeki blok sayısının C_u kümesindeki blok sayısından az olması ve C_u kümesinden küçük blokların atılarak C_a 'nın elde edilmiş olmasıdır. Bu nedenlerden dolayı geliştirilen programda minimal makine P_a kapalı yollar kümesinden elde edilmektedir.

Örnek 1: İndirgenecek olan sonlu durum makinesine ilişkin durum tablosu Şekil 1'de verilmiştir. Bu makinenin 6 durumu, 2 giriş değişkeni ve 1 çıkış değişkeni vardır.

		Girişler			
		00	01	11	10
D u r u m l a r	1	3,0	1,-	-, -	-, -
	2	6,0	2,0	1,-	-, -
	3	-,1	-, -	4,0	-, -
	4	1,0	-, -	-, -	5,1
	5	-, -	5,-	2,1	1,1
	6	-, -	2,1	6,-	4,1

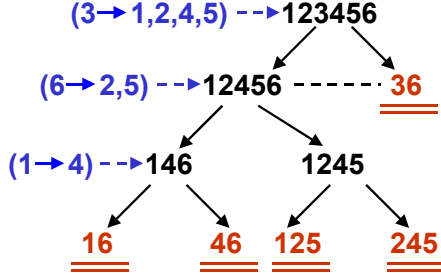
Şekil 1. M_1 makinesine ilişkin durum tablosu

M_1 makinesine ilişkin çiftler tablosu hesaplandığında makinenin uyumlu ve uyumsuz durum çiftleri ve durumların ağırlıkları Şekil 2'de gösterildiği gibi elde edilir. Bu şekilde 'X' işaretine karşı düşen satır ve sütundaki durumlar uyumsuz, '√' işaretine karşı düşen satır ve sütundaki durumlar uyumludur.

0	2	√					
2	3	X	X				
2	4	X	√	X			
1	5	√	√	X	√		
2	6	√	X	√	√	X	
		1	2	3	4	5	
		2	2	2	0	2	
Durumlar		1	2	3	4	5	6
Ağırlık		2	2	4	2	2	2

Şekil 2. M_1 makinesine ilişkin çiftler tablosu ve ağırlıklar

Bu şekilden görüldüğü gibi 3 durumunun ağırlığı en büyüktür. Bu nedenle tüm durumları içeren bloktan dallanma işlemine 3 durumundan başlanılmalıdır. Dallanma işlemi ile maksimal uyumlu blokların hesabı Şekil 3'te gösterilmiştir.

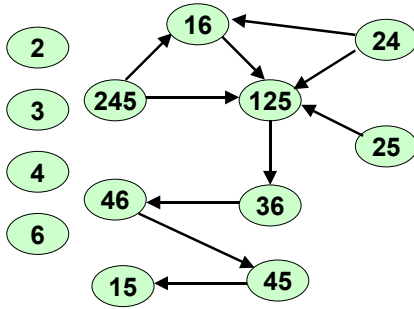


Şekil 3. M_1 makinesine ilişkin maksimal uyumluların hesabı

Şekil 3'te gösterilen dallanma işlemlerin sonucunda M_1 makinesine ilişkin maksimal uyumlular sınıfı $C_s = \{125, 245, 16, 36, 46\}$ olarak elde edilir.

M_1 makinesine ilişkin uyumlu çiftler grafi ve buna benzer şekilde düğümleri maksimal uyumlular olan maksimal uyumlular grafi hesaplanır. Bir bloğun belirli bir giriş için birden çok izleyicisi varsa, sadece ilk izleyici alınmıştır. Tarjan algoritması ile maksimal uyumlular grafinin kuvvetli bağlı bileşenleri hesaplandığında maksimal uyumlu blokların tamamı bir kapalı yol oluşturduğu görülür.

Şekil 4'te düğümleri C_a sınıfının blokları olan graf gösterilmiştir. Bu grafin kuvvetli bağlı bileşenleri hesaplandığında, graftaki her bir düğümün aynı zamanda kuvvetli bağlı bileşen olduğu belirlenir. Bu durumda kuvvetli bağlı bileşenler grafi asal uyumlular grafi ile aynı graftır.



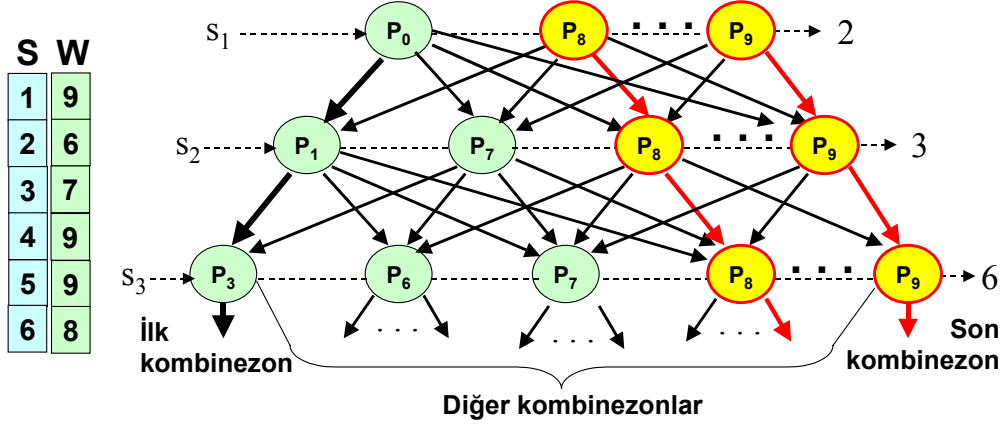
Şekil 4. M_1 makinesine ilişkin asal uyumlular grafi

Şekil 4'ten kapalı yollar elde edilir. Kapalı yollarda birbirlerini içeren bloklar elenir. Bu eleme işlemi sonucunda elde edilen kapalı yollar aşağıda verilmiştir.

- $P_0 = \{ 2 \}$
- $P_1 = \{ 3 \}$
- $P_2 = \{ 4 \}$
- $P_3 = \{ 6 \}$
- $P_4 = \{ 15 \}$
- $P_5 = \{ 45, 15 \}$
- $P_6 = \{ 46, 45, 15 \}$
- $P_7 = \{ 36, 46, 45, 15 \}$
- $P_8 = \{ 125, 36, 46, 45 \}$
- $P_9 = \{ 125, 36, 46, 45 \}$
- $P_{10} = \{ 16, 125, 36, 46, 45 \}$
- $P_{11} = \{ 24, 16, 125, 36, 46, 45 \}$
- $P_{12} = \{ 245, 16, 125, 36, 46 \}$

Yukarıda verilen kapalı yollardan yararlanarak minimal kapalı örtü arama ağacı elde edilir. Bunun için önce durumların ağırlıkları hesaplanır. Bir durumun ağırlığı, kendisini içeren kapalı yolların sayısıdır. 2 durumunun ağırlığı en küçüktür. Bu durum 6 tane kapalı yol tarafından içermektedir. Makinenin durumları ağırlıklarına göre küçükten büyüğe doğru sıralandığında minimal kapalı örtü ağacının seviyeleri elde edilir. Buna göre ağacın ilk 3 seviyesini Şekil 5'te görüldüğü gibi 2, 3 ve 6 durumları oluşturur. Eğer minimal makinenin üst sınırı UB ise, bu ağaç için UB-1 tane seviye oluşturulmalıdır. Eğer bu ağaçtan bir minimal kapalı örtü elde edilemez ise UB'ye karşı düşen makine minimaldir. Öte yandan minimal kapalı örtü elde etme ağacı en az minimal makinenin alt sınırı olan LB tane seviye içermelidir.

Şekil 5 ile verilen minimal kapalı örtü arama ağacındaki kombinezonlar denendiğinde P_8 ve P_9 kombinezonlarının minimal makineyi oluşturduğu belirlenir. Minimal makine $M = P_8 = P_9 = \{125, 36, 46, 45\}$ elde edilir. Şekil 5'te verilen ağaçta bir kapalı yolun birden çok seviyede görünmesini engelleyerek yöntemi hızlandırmak için, i. seviyede s_i durumunu içeren kapalı yollar yerine, s_i durumunu kapalı yolu oluşturan C_a bloğunda içeren yollar yazılabilir.



Şekil 5. Minimal kapalı örtü arama ağacı

Test sonuçları

Bu bölümde verilen yönteme dayanan bir durum indirgeme programı olan SRC (State Reduction and Covering) MCNC FSM bençmarkları üzerinde test edilerek Rho yöntemi (Rho vd., 1994) ve Puri yöntemi (Puri ve Gu, 1993) ile karşılaştırılmıştır. Test sonuçları Tablo 1’de verilmiştir. Bu tablodan da görüldüğü gibi SRC programı ile diğer yöntemlere göre daha iyi sonuçlar elde edilmiştir. Diğer yöntemlerin indirgeyemediği bençmarklar kısa sürede indirgenmiştir. SRC programının testi için Pentium 4 1.8GHz işlemcili 256MB belleği olan bir PC kullanılmıştır.

Rho yöntemi ile karşılaştırıldığında tüm bençmarklarda SRC’nin çok daha hızlı indirgeme yapabildiği gözlenmiş, Rho yöntemi ile indirgenemeyen ex3 ve mark1 FSM’lerinin SRC tarafından saniyenin yüzde birinden daha kısa sürede indirgeniği gözlenmiştir. Ayrıca indirgenmesi zor bir bençmark olarak bilinen ex2 ile test edildiğinde Rho yöntemi “time-out” ile sonuçlanmıştır. Bu bençmark için minimal sonuç SRC tarafından 102s.’de elde edilmiştir. Rho yöntemi için verilen indirgeme süreleri DEC Station 5000 platformunda elde edilmiştir.

Puri yöntemi ile karşılaştırıldığında SRC’nin yine tüm bençmarklarda daha hızlı indirgeme yaptığı gözlenmiştir. Ayrıca indirgenmesi çok zor bir bençmark olarak bilinen ex2, Puri yöntemi ile test edilmemiştir. Bu bençmark için C_a sınıfındaki blok sayısı 1366’dır. Puri yöntemi C_a sınıfını kullanarak indirgeme yaptığı için bu bençmarkta zorlanacağı açıktır. Puri yöntemi

için verilen indirgeme süreleri SUN SPARC 1+ Workstation platformunda elde edilmiştir.

Durum indirgeme için geliştirilen yöntemlerin Boole fonksiyonlarının indirgenmesine uygulanması

Bu çalışmada durum indirgeme yöntemlerinde geliştirilen ve bir önceki bölümde anlatılan teknikler iki seviyeli kombinezonsal devrelerin tasarımına uygulanmıştır. Quine-McCluskey yöntemi (McCluskey, 1986) gibi klasik yöntemlerin yetersiz kalmasından dolayı işlem süresini ve kullanılan bellek miktarını azaltan fakat optimalle yakın sonuç veren bazı sezgisel (buluşsal) yöntemler geliştirilmiştir. Bu yöntemler arasında AREVALO (Arevalo ve Bredeson, 1978) ve ESPRESSO (Brayton vd., 1984) bulunmaktadır. Bu yöntemlerin yanında optimal sonuç veren ESPRESSO-EXACT (Brayton vd., 1984) ve SCHERZO (Coudert vd., 1993) programları bulunmaktadır.

Bu çalışmada n değişkenli m tane Boole fonksiyonunu iki seviyeli VE/VEYA kombi-nezonsal lojik devre ile gerçekleyebilmek için bir algoritma geliştirilmiştir. Bu algorithmadan yararlanılarak MORP (Multiple Output Reduction Program) geliştirilmiştir. MORP kısa sürede minimal veya minimale oldukça yakın bir çözüm vermektedir. İndirgeme işlemine devam edildiğinde, MORP ile ilk aşamada elde edilen çözüm sürekli olarak iyileştirilerek minimal örtü de elde edilmektedir. Minimal örtünün birden fazla olması durumunda da bütün çözümler MORP ile elde edilebilmektedir.

Tablo 1 SRC'nin Benchmark testlerinin sonuçları

No	Benchmark	SRC					Rho		Puri	
		N	i	o	n _r	süre(s.)	n _r	süre(s.)	n _r	süre(s.)
1	bbara	10	4	2	7	0.00	7	0.15	7	0.00
2	bbsse	16	7	7	13	0.00	13	0.23	13	0.02
3	bbtas	6	2	2	6	0.00	6	0.05	6	0.00
4	beecount	7	3	4	4	0.00	4	0.07	4	0.01
5	cse	16	7	7	16	0.00	-	-	16	0.01
6	donfile	24	2	1	1	0.00	-	-	1	0.00
7	ex1	20	9	19	18	0.00	18	0.37	18	0.01
8	ex2	19	2	2	5	102	-	time out	-	-
9	ex3	10	2	2	4	0.05	not found	-	4	2.51
10	ex4	14	6	9	14	0.00	-	-	14	0.01
11	ex5	9	2	2	3	0.01	3	5.17	3	0.23
12	ex6	8	5	8	8	0.00	-	-	8	0.01
13	ex7	10	2	2	3	0.01	3	12.03	3	0.26
14	keyb	19	7	2	19	0.00	-	-	19	0.02
15	lion	4	2	1	4	0.00	-	-	4	0.01
16	lion9	9	2	1	4	0.00	4	0.00	4	0.01
17	mark1	15	5	16	12	0.00	not found	-	12	0.02
18	modulo12	12	1	1	1	0.00	-	-	1	0.01
19	opus	10	5	6	9	0.00	9	0.05	9	0.01
20	planet	48	7	19	48	0.01	-	-	48	0.11
21	planet1	48	7	19	48	0.01	-	-	48	0.11
22	s1	20	8	6	20	0.00	-	-	20	0.02
23	s1a	20	8	6	1	0.00	-	-	1	0.01
24	s8	5	4	1	1	0.00	-	-	1	0.01
25	sand	32	11	9	32	0.00	-	-	32	0.02
26	scf	121	27	56	97	0.20	97	6.77	97	0.99
27	shiftreg	8	1	1	8	0.00	-	-	8	0.02
28	sse	16	7	7	13	0.00	13	0.20	13	0.02
29	styr	30	9	10	30	0.00	-	-	30	0.04
30	tav	4	4	4	4	0.00	-	-	4	0.01
31	tbk	32	6	3	16	0.90	16	21.60	16	1.64
32	train4	4	2	1	4	0.00	-	-	4	0.01
33	train1	11	2	1	4	0.00	4	0.38	4	0.01

Geliştirilen yöntemin adımları

Yöntem 3 algoritmadan oluşmaktadır. Bu algoritmalar aşağıda kısımlar halinde verilmiştir.

Algoritma 1: Bu algoritmada asal bileşenler elde edilmektedir. Bu algoritma için klasik Quine-McCluskey yöntemi (McCluskey, 1986) kullanılmıştır.

Algoritma 2: Bu algoritma ile kısa sürede minimal veya minimale yakın bir örtü elde edilmektedir. Bunun için bir örtü matrisi oluşturularak temel asal bileşenler elde edilmektedir. Temel asal bileşenler çözüme eklenerek bu asal bileşenlere

karşı düşen satır ve sütunlar örtü matrisinden çıkarılır. Bir sonraki adımda bu çalışmada geliştirilen iyileştirilmiş En Büyük Adımlar Yöntemi (EBAY) örtü matrisine uygulanır. EBAY algoritması uygulandıktan sonra tekrar temel asal bileşen arama adımına geri dönlür. Bu çevrim örtü matrisinde satır kalmayınca kadar devam eder. Bu örtüdeki asal bileşen sayısı bir üst sınır olarak kullanılır.

Algoritma 3: Bu algoritmada bir minimal örtü veya bütün minimal örtüler elde edilir. Dallanma yöntemi ile örtü problemi daha küçük örtü problemleri elde edilecek şekilde ayrıştırma işlemi

yapılır. Elde edilen örtü problemleri çevrimsel hale getirilerek alt sınırları hesaplanır. Eğer alt sınır, üst sınırdan büyük veya eşit ise ilgili örtü problemi budanmış olur. Algoritma 3 sonucunda elde edilen asal bileşenler temel asal bileşenlere eklenerek minimal çözüm elde edilir. Eğer bütün minimal örtülerin elde edilmesi isteniyorsa, satır örtme, sütun örtme gibi elemeler ve alt sınırın üst sınıra eşit olması durumundaki elemeler yapılmaz.

Test sonuçları

Geliştirilen programın MCNC bençmarkları ile test sonuçları Tablo 2'de verilmiştir. Tablo 2'de NM minterm sayısını, NPI asal bileşen sayısını, MC minimal çözümdeki terim sayısını göstermektedir. Bu tablodan da görüldüğü gibi MORP'un iki algoritması (MORP ve MORP-G: EBAY MORP) ESPRESSO ve ESPRESSO-EXACT programlarına üstünlük sağlamaktadır. MORP-G, 11 bençmarkta ESPRESSO'dan daha iyi çözüm verirken, ESPRESSO sadece 2 bençmarkta MORP-G'den daha iyi çözüm vermektedir. Bu çözümlerdeki terim sayısı MORP-G'den 3 eksiktir. Ayrıca MORP-G'nin üstün olduğu bençmarklardaki terim sayısı ESPRESSO'ya göre oldukça düşük olabilmektedir. Örneğin addm4 isimli bençmarkta MORP-G ile 2.3s.'de 190 terimli bir çözüm elde edilirken ESPRESSO ile 1s.'de 200 terimli bir çözüm elde edilmektedir. Bu bençmark için MORP-G dahi minimal çözümü verirken ESPRESSO-EXACT ile bu bençmark indirgenememiştir. Aynı şekilde apex4 isimli bençmarkta MORP-G ile 18s.'de 430 terimli bir çözüm elde edilirken ESPRESSO ile 9s.'de 436 terimli bir çözüm elde edilmektedir. MORP-G optimale yakın sonuç veren bir algoritma olmasına karşın 30 bençmarkın 18'inde optimal, 3'ünde optimale 1 terim uzak ve geriye kalanların çoğunda 2 veya birkaç terim optimale uzak sonuç vermiştir. Bu sonuçlar MORP-G'nin genelde optimal, aksi halde optimale oldukça yakın sonuç verdiğini göstermektedir. Tablo 2'den 8 bençmarkta ESPRESSO-EXACT'ın çözüm vermediği ve m4 ile mlp4 bençmarklarında ise hata mesajı verdiği görülmektedir. MORP, 30 bençmarkın 26'sında optimal, sadece 4 tanesinde optimale yakın sonuç vermiştir. Tablo 2'den ESPRESSO-EXACT ile indirgenemeyen benç-

markların önemli bir kısmının MORP ile indirgenebildiği görülmektedir.

Durum indirgeme için geliştirilen yöntemlerin asenkron ardışıl devrelerin kodlanması problemi uygulanması

Bu çalışmada, durum indirgeme yöntemlerinde geliştirilen ve teknikler ardışıl devrelerin kodlanmasına uygulanmış ve Tracey (1966) yöntemine dayanan yeni bir yöntem ve bu yöntemle dayanarak OPASKOD programı geliştirilmiştir.

Durum kodlama yöntemi

Durum tablosundan yararlanarak önce bölmelemler listesi oluşturulur. Daha sonra bölmelemler listesindeki bütün bölmelemleri kapsayan yeni bölmelemler oluşturulmaya çalışılır. $p_1=\{ab,cf\}$, $p_2=\{ae,cf\}$ olduğunda $p_A=\{abe,cf\}$ bölmelemesi, p_1 ve p_2 bölmelemleri ile değiştirilebilir. Herhangi bir bölmelemler çifti, tek bir bölmeleme ile değiştirilemeyecek durumuna geldiğinde, kodlara ilişkin bölmelemler bulunmuş olur.

Bütün bölmelemleri kapsayan en az sayıdaki bölmelemeyi sistematik bir şekilde bulmak için önce bölmelemler listesi "0", "1" ve "-" lerden oluşan bir matrise dönüştürülür. Bu matrise bölmelemler matrisi denir. Bölmelemler matrisini oluşturmak için bölmelemlerin herhangi bir bloğu "0" ve diğer bloğu "1" ile kodlanır. Bu matriste bölmelemler satırları, durumlar sütunları oluşturur. Bir satıra ilişkin bölmelemedeki blokların kodlarının karşı düştükleri durumlara yazılmasıyla bölmelemler matrisi elde edilir. Bölmelemede olmayan durumlar keyfidir ve "-" ile gösterilir. Bu matriste herhangi bir satır yerine tümleyeni kullanılabilir.

Bütün bölmelemleri kapsayan en az sayıdaki bölmelemeyi elde edebilmek için bölmelemler matrisi indirgenir. İndirgenmiş matristeki bölmeleme satırları bütün bölmelemleri kapsamaktadır. Bu durumda indirgenmiş matrisin sütunlarında makinanın durumlarına karşı düşen kodlar elde edilir. İndirgenmiş matrisin satır sayısı kullanılacak durum değişkeni sayısına eşittir.

Tablo 2. MORP' un Bençmark testlerinin sonuçları

No	Bençmark	NIxNO	MORP	MORP (EBAY)	Espresso (Heuristic)	Espresso (Exact)
1	5xp1	7x10	63 / 4.7 s.	63 / 1.6 s.	65 / 0 s.	63 / 1 s.
2	9sym	9x1	84 / 31 s.	85 / 7.4 s.	87 / 0 s.	Error
3	addm4	9x8	189 / 11.3 s.	190 / 2.3 s.	200 / 1 s.	Error
4	alu2	10x8	68 / 112 s.	68 / 112 s.	68 / 0 s.	68 / 1 s.
5	alu3	10x8	64 / 93 s.	64 / 93 s.	66 / 0 s.	64 / 1 s.
6	apex4	9x19	428 / 1095 s.	430 / 18 s.	436 / 9 s.	-
7	apla	10x12	25 / 94 s.	25 / 94 s.	25 / 0 s.	25 / 1 s.
8	dekoder	4x7	9 / 0 s.	9 / 0 s.	9 / 0 s.	9 / 0 s.
9	dist	8x5	120 / 0.33 s.	120 / 0.33 s.	121 / 0 s.	120 / 1 s.
10	ex5	8x63	72/145 s.	72/145 s.	74 / 2 s.	Error
11	f51m	8x8	76 / 1.26 s.	76 / 1.26 s.	77 / 1 s.	76 / 2 s.
12	lin.rom	7x36	128 / 446 s.	145 / 18 s.	128 / 6 s.	Error
13	luc	8x27	26 / 1.4 s.	26 / 1.4 s.	26 / 1 s.	26 / 1 s.
14	m1	6x12	19 / 0 s.	19 / 0 s.	19 / 0 s.	19 / 1 s.
15	m2	8x16	47 / 0.5 s.	47 / 0.3 s.	47 / 0 s.	47 / 1 s.
16	m3	8x16	62 / 5.7 s.	65 / 0.6 s.	65 / 1 s.	62 / s.
17	m4	8x16	102 / 1032 s.	107 / 3.2 s.	107 / 1 s.	Error
18	max46	9x1	46 / 0 s.	46 / 0 s.	46 / 0 s.	46 / 0 s.
19	max128	7x24	78 / 16.5 s.	85 / 1.37 s.	82 / 1 s.	78 / 2 s.
20	max512	9x6	133 / 2123 s.	136 / 4s.	142 / 2 s.	133 / 7 s.
21	max1024	10x6	267 / 410 s.	270 / 60 s.	274 / 7 s.	Error
22	mlp4	8x8	121 / 20 s.	125 / 0.71 s.	128 / 1 s.	Error
23	newtpla1	10x2	4 / 0 s.	4 / 0 s.	4 / 0 s.	4 / 0 s.
24	newtpla2	10x4	9 / 3 s.	9 / 0 s.	9 / 0 s.	9 / 0 s.
25	pope	6x48	59 / 32 s.	62 / 1.6 s.	62 / 1 s.	59 / 5 s.
26	prom1	9x40	472 / 250 s.	472 / 250 s.	472 / 13 s.	Error
27	prom2	9x21	335/3211 s.	346 / 1281 s.	287 / 23 s.	Error
28	rd53	5x3	31 / 0.1 s.	31 / 0.1 s.	31 / 0 s.	31 / 0 s.
29	rd73	7x3	127 / 0.8 s.	127 / 0.8 s.	127 / 1 s.	127 / 1 s.
30	rd84	8x4	255 / 0.33 s.	255 / 0.33 s.	255 / 0 s.	255 / 1 s.
31	risc	8x31	28 / 0.66 s.	28 / 0.66 s.	28 / 0 s.	28 / 0 s.
32	sao2	10x4	58 / 4.9 s.	58 / 4.9 s.	58 / 0 s.	58 / 1 s.
33	sqr6	6x12	47 / 173 s.	48 / 0.1 s.	49 / 0 s.	47 / 1 s.
34	sym10	10x1	210 / 66 s.	210 / 43 s.	210 / 2 s.	Error
35	tms	8x16	30 / 0.2 s.	30 / 0.2 s.	30 / 0 s.	30 / 1 s.
36	z5xp1	7x10	63 / 4.78 s.	63 / 0.3 s.	63 / 1 s.	63 / 1 s.
37	z9sym	9x1	84 / 892 s.	88 / 5 s.	85 / 0 s.	Error

Test sonuçları

Bu çalışmada geliştirilen OPASKOD programı MCNC bençmarkları ile test edilmiştir. Tablo 3'ten görüldüğü gibi, Tracey yöntemi ile daha önce kodlanamayan TraceyD ve SmithM4 bençmarkları, yöntemde yapılan iyileştirmeler sayesinde kodlanabilmiştir. Bu bençmarkları minimum geçiş zamanlı olacak şekilde kodlayan başka bir yöntem literatürde rastlanmamıştır.

Genel örtü problemleri için yeni bir yöntemin geliştirilmesi

Örtü problemi (covering problem) evrensel bir problemdir. Ardışıl devre tasarımında durum indirgeme ve durum kodlama, kombinezonsal devre tasarımında Boole fonksiyonlarının indirgenmesi başta olmak üzere pek çok alanda bu problemle karşılaşmaktadır.

Örtü probleminde örtülen elemanlar ve örten bloklar vardır. Örten bloklardan minimum sayıda kullanarak tüm elemanları örtme problemi örtü problemi olarak tanımlanır. Bu problemin çözümüne minimal örtü denir. M_2 için yazılan Petrick fonksiyonu ile elde edilen kısmi örtülerin ne zaman bir minimal örtü oluşturduğu, ne zaman bir minimal örtü oluşturmadığı konusunda bir çalışmaya literatürde rastlanmamıştır. Bu çalışmada, kısmi örtülerin bir minimal örtü oluşturma koşulları ve minimal örtüyü bulmaktan minimal örtüyü oluşturan blokların sayısını belirlemeye yönelik bir yöntem üzerinde çalışılmıştır.

Tanım 1: Bir örtü probleminde örtülecek eleman sayısı (Boole fonksiyonları için minterm sayısı, durum indirgeme için durum sayısı) n olsun. m_2 tane blok ile kapsanabilecek maksimum eleman sayısı ise f_n olsun. Bu durumda $n - f_n$ sayısı f_d ile gösterilecektir.

Tanım 2: Bir örtü probleminde m_2 tane blok ile f_n tane eleman kapsadığında kapsanmamış olarak geriye kalan f_d tane elemanı kapsayabilmek için minimal örtüye dahil edilmesi gereken minimum blok sayısı f_m ile gösterilecektir. Eğer minimal örtüdeki blok sayısı m_0 ise $f_m = m_0 - m_2$ 'dir.

Teorem 1: Eleman sayısı n olan bir örtü probleminde $f_m \neq 0$ olabilmesi için eleman sayısı n en az 5 olmalıdır.

Eleman sayısı n olan bir örtü probleminin uyumsuzluk grafinin beşgen, yedigen veya dokuzgen,... içermesi halinde $f_m \neq 0$ olmaktadır. Bundan yararlanarak eleman sayısı n 'nin her-

hangi bir değeri için $f_m \neq 0$ olan bir örtü problemi oluşturulabilmektedir. Eleman sayısı n olan bir örtü probleminin uyumsuzluk grafinin x tane beşgen (yedigen, dokuzgen,...) içeriyor ve bu beşgenlerdeki (yedigenlerdeki, dokuzgenlerdeki,...) bir eleman diğer beşgenlerdeki (yedigenlerdeki, dokuzgenlerdeki,...) bütün elemanlar ile uyumsuz ise $f_m = x$ olmaktadır. Bu özellikten yararlanarak eleman sayısı n 'nin herhangi bir değeri için $f_m = x$ olan bir örtü problemi oluşturulabilmektedir.

Teorem 2: Eleman sayısı $n=5$ veya $n=6$ olan bir örtü probleminde f_m 'nin maksimum değeri 1'dir ve $f_m=1$ olabilmesi için uyumluluk ve uyumsuzluk graflarının beşgen içermesi gerekir.

Sonuçlar

Durum indirgeme için yeni bir yöntemin geliştirilmesi

Senkron/asenkron ardışıl devrelerde durum indirgenmesine ilişkin yeni bir yöntem geliştirilmiştir. Bu yöntemde kullanılan teknikler Boole fonksiyonlarının indirgenmesine de uygulanmıştır. Bu teknikler tek koşullu (unate covering) veya iki koşullu (binate covering) örtme problemleri ile karşılaşılan diğer alanlarda da kullanılabilir.

Bu çalışmada geliştirilen yönteme dayanan bir durum indirgeme programı olan SRC (State Reduction and Covering) MCNC FSM bençmarkları üzerinde test edilerek Rho yöntemi (Rho vd., 1994) ve Puri (Puri ve Gu, 1993) yöntemi ile karşılaştırılmıştır. Test sonuçları Tablo 1'de verilmiştir.

Tablo 3. OPASKOD bençmark testlerinin sonuçları

Bençmark	NS	NIxNO	NP	NCP	NSV	Süre (s.)
TraceyA	4	2x1	3	0	3	0 s.
TraceyB	5	2x1	7	3	3	0 s.
TraceyC	6	2x1	10	3	3	0 s.
TraceyD	12	2x1	52	38	36	769 s.
SmithM4	12	2x1	59	30	5	180 s.
SmithM6	6	2x2	10	2	4	0.14 s.

NS: Durum Sayısı

NI: Giriş Sayısı

NO: Çıkış Sayısı

NP: Bölmeleme Sayısı

NCP: Tümleyenli Bölmeleme Sayısı

NSV: Durum Değişkeni Sayısı

Durum indirgeme için geliştirilen yöntemlerin Boole fonksiyonlarının indirgenmesine uygulanması

Durum indirgeme yöntemlerinde geliştirilen teknikler iki seviyeli kombinezonsal devrelerin tasarımına uygulanmıştır. Tez çalışmasının bu bölümünde geliştirilen algoritma ile n değişkenli m tane Boole fonksiyonunu birlikte indirgenerek optimal sonuç elde edilmektedir. Bu algoritmadan yararlanarak MORP geliştirilmiştir. Bu program UC Berkeley’de geliştirilen ESPRESSO (1994) programı ile karşılaştırılmıştır.

Tablo 2’den görüldüğü gibi MORP pek çok bençmarkta optimal sonucu vermiştir. Ayrıca MORP-EBAY ile 12 tane bençmarkta ESPRESSO’dan daha iyi çözümler elde edilmiştir.

Durum indirgeme için geliştirilen yöntemlerin ardışıl devrelerin kodlanmasına uygulanması

Durum indirgeme ve Boole fonksiyonlarını ortak indirgeme algoritmalarında kullanılan teknikler durum kodlama konusuna da uygulanmıştır. Bu şekilde Tracey kodlama yöntemini temel alan yeni bir durum kodlama yöntemi geliştirilmiştir. Geliştirilen OPASKOD programı literatürdeki bençmarklarda denenmiş, bençmarklar kritik yarış oluşmayacak şekilde ve minimum geçiş zamanlı olarak kodlanmıştır.

OPASKOD programının test sonuçları Tablo 3’te verilmiştir. Bu tablodan da görüldüğü gibi, Tracey yöntemi ile daha önce kodlanamayan TraceyD ve SmithM4 bençmarkları, yöntemde yapılan iyileştirmeler sayesinde kodlanabilmiştir. Bu bençmarkları Tracey tabanlı bir yöntemle, yani elde edilen makine minimum geçiş zamanlı olacak şekilde kodlayabilen başka bir yöntemle literatürde rastlanmamıştır.

Tek koşullu örtü problemlerinin çözümü için yeni bir yöntemin geliştirilmesi

Bu çalışmada geliştirilmiş olan iyileştirilmiş EBAY, iyileştirilmiş dallanma yöntemleri ve bu yöntemlere dayalı bilgisayar programı ile tamamen keyfi olarak oluşturulan 1000x1000 mertebesindeki bir minimal örtü problemi saniyeler mertebesinde bir sürede çözülebilmektedir.

EBAY yöntemi, max1024 isimli bençmarkta, 298 bloklu minimale yakın bir örtü elde etmektedir. Minimal örtüde ise 259 blok bulunmaktadır. Yani EBAY yöntemi bu bençmarkta 39 blok fazlası ile (%15) minimale yakın örtüyü elde edebilmektedir. İyileştirilmiş EBAY yönteminde ise 298’li çözüm iyileştirilerek 270 bloklu çözüm elde edilmiştir. Bu durumda iyileştirilmiş EBAY yöntemi ile %11’lik bir iyileştirme sağlanmış, minimal örtüden %4 fazla bloklu çözüm elde edilmiştir. max512 isimli bençmarkta ise EBAY yöntemi ile 153 bloklu minimale yakın bir örtü elde edilmektedir. Minimal örtüde ise 133 blok bulunmaktadır. Yani EBAY yöntemi bu bençmarkta 20 blok fazlası ile (%15) minimale yakın örtüyü elde edebilmiştir. İyileştirilmiş EBAY yönteminde ise 153’lü çözüm iyileştirilerek 137 bloklu çözüm elde edilmiştir. Bu durumda iyileştirilmiş EBAY yöntemi ile %12’lik bir iyileştirme sağlanmış, minimal örtüden %3 fazla bloklu çözüm elde edilmiştir. Diğer pek çok bençmarkta ise (5xp1, sqr6, m2, gibi) iyileştirilmiş EBAY yöntemi ile tam bir iyileştirme sağlanmış ve minimal örtü elde edilmiştir.

Genel örtü problemleri için yeni bir yöntemin geliştirilmesi

Bir örtü problemini çözmeden minimal örtünün blok sayısını belirleyen bir yöntem üzerinde çalışılmıştır. Bu tür bir çalışmaya literatürde rastlanmamıştır.

Bu çalışmada kısmi örtülerin bir minimal örtü oluşturma koşulları ve minimal örtüyü bulmaktan minimal örtüyü oluşturan blokların sayısının nasıl belirlenebileceğine yönelik yöntemler verilmiştir.

Kaynaklar

- Arevalo Z. ve Bredeson J.G. (1978). A Method of Simplify a Boolean Function into a Near Minimal Sum-of-Products for Programmable Logic Arrays, *IEEE Transactions on Computers*, **C-27**, 11, 1028-1039.
- Brayton R.K., Hachtel G.D., McMullen C.T. ve Sangiovanni-Vincentelli A.L. (1984). Logic Minimization Algorithms for VLSI Synthesis, Kluwer Academic Publishers, Dordrecht.

- Coudert O., Madre J.C. ve H. Fraisse (1993). A New Viewpoint on Two-Level Logic Minimization, *Proceedings.*, 30th Design Automation Conference, 625-630, Dallas, TX, USA.
- Grasselli A. ve Luccio F. (1965). A method for minimizing the number of internal states in incompletely specified sequential networks, *IRE Transactions on Electronic Computers*, **14**, 3, 350–359.
- Dervişoğlu A., (2000). İleri Lojik Devre Tasarımı Ders Notları, İ.T.Ü. EE Fakültesi.
- Dervişoğlu A., (2000). Lojik Devreler Ders Notları, İ.T.Ü. Elektrik-Elektronik Fakültesi.
- McCluskey E.J., (1986). Logic Design Principles, Prentice-Hall Inc., Englewood Cliffs, N.J.
- Puri R. ve Gu J. (1993). An Efficient Algorithm to Search for Minimal Closed Covers in Sequential Machines, *IEEE Transactions on CAD of Integrated Circuits and Systems*, **12**, 6, 737-745.
- Rho J.K., Hachtel G.D., Somenzi F. ve Jacoby R.M. (1994). Exact and Heuristic Algorithms for the Minimization of Incompletely Specified State Machines, *IEEE Transactions on CAD of Integrated Circuits and Systems*, **13**, 2, 167-176.
- Tarjan R. (1972). Depth-First Search and Linear Graph Algorithms, *SIAM J.COMPUT.*, **1**, 2, 146-160.
- Tracey J.H. (1966). Internal State Assignments for Asynchronous Sequential Machines, *Transactions on Electronic Computers*, **EC-18**, 4.
- Uçar O. ve Dervişoğlu A. (1999). State Reduction of Incompletely Specified Finite Sequential Machines by the Use of Closed Compatible Pairs, *Proceedings*, ECCTD'99, 1375-1378, Stresa, Italy.