

# MOS translineer çevrimli yüksek doğruluklu akım modlu çarpıcı/bölücü devre

Serdar MENEKAY\*, Hakan KUNTMAN

İTÜ Fen Bilimleri Enstitüsü, Elektronik Mühendisliği Programı, 34469, Ayazağa, İstanbul

## Özet

Her geçen gün kullandığımız elektronik cihazların daha da küçülmekte olduğu, daha küçük ve çok fonksiyonlu elektronik cihazlara olan ihtiyacın artarak devam ettiği göz önüne alındığında, devre tasarımcılarının devreyi oluşturan MOS tranzistörlerdeki ikincil etkileri daha çok dikkate alması gerekliliği ortaya çıkmaktadır. Buradan hareketle gerçekleştirilen bu çalışmada, karesel işlemlerde kullanılan MOS translineer devrelerinin çıkış akım fonksiyonlarındaki küçülen boyutlar nedeniyle oluşan hatanın azaltılmasına yönelik önerilen yöntemle, karekök alıcı ve kare/bölücü devreler tasarlanmıştır. Tasarlanan bu devrelerin birlikte kullanılmasıyla yeni bir çarpıcı/bölücü devre önerilmiştir. Önerilen bu devrenin çıkış akım fonksiyonu, aynı MOS tranzistör boyutlarıyla kurulan klasik yapının çıkış fonksiyonuyla ve ideal fonksiyon ile karşılaştırılmıştır. Önerilen devrenin yüksek doğruluklu olduğu ve devrenin avantajları sunulmuştur. Ayrıca önerilen çarpıcı/bölücü devreyi oluşturan karekök alıcı ve kare/bölücü devrelerin bir  $V_C$  kontrol gerilimiyle ayarlanabilir olması, önerilen devrenin çıkış akım fonksiyonunun da elektronik olarak ayarlanabilir olmasını beraberinde getirir. Bunun yanında önerilen çarpıcı/bölücü devreyle yüksek doğrulukta çıkış akım fonksiyonu elde edilebilmenin yanı sıra bu devrede emsallerine göre daha küçük boyutlarda MOS tranzistör kullanımı mümkün olmaktadır. Böylece kırımlık üzerinde çok daha az yere ihtiyaç olacak ve yüksek frekanslarda çalışmaya olanak yaratılmış olacaktır. Önerilen çarpıcı/bölücü devrenin uygulaması olarak bir frekans katlayıcı devre de gerçekleştirilmiş ve önerilen devrenin, klasik yapılarla kurulacak olan devreye göre çok daha yüksek doğrulukla çıkış akımı ürettiği gösterilmiştir. Tüm analizler SPICE benzetim programında gerçekleştirilmiştir.

**Anahtar Kelimeler:** MOSFET ikinci dereceden etkilerin azaltılması, karekök alıcı devre, kare/bölücü devre, çarpıcı devre, frekans katlayıcı.

\*Yazışmaların yapılacağı yazar: Serdar MENEKAY. s.menekay@hho.edu.tr; Tel: (212) 663 24 90-4476.

Bu makale, birinci yazar tarafından İTÜ Fen Bilimleri Enstitüsü, Elektronik Mühendisliği Programında tamamlanmış olan "Karesel işlemlerde kullanılan MOS translineer çevrimli devrelerde hatanın azaltılması" adlı doktora tezinden hazırlanmıştır. Makale metni 04.09.2007 tarihinde dergiye ulaştırılmış, 20.09.2007 tarihinde basım kararı alınmıştır. Makale ile ilgili tartışmalar 31.04.2009 tarihine kadar dergiye gönderilmelidir.

## Novel high precision current mode multiplier/divider circuit based on the translinear principle

### Extended abstract

Electronic devices we use in our daily life are getting smaller from day to day and the need for smaller and more functional devices is increasing. This leads researchers to reduce chip area and power consumption, to develop new design techniques and to use smaller devices on the circuits.

It is well known that the decrease in dimensions of MOS transistor in IC fabrication technology affects MOS transistor performance and the MOS transistor voltage current relationship changes from square law to linear. Therefore errors may occur in the output current function of the current mode circuits employing small sized MOS transistors.

Nowadays, due to the decrease in dimensions of MOS transistors in IC fabrication, second order effects cause more errors in the MOS transistor performance. Actually drain current expression includes effects of  $W$ ,  $L$  and  $V_{DS}$  on effective threshold, velocity saturation effects, effective mobility dependence on normal field and channel length modulation. Especially, the short channel effects become more important in MOS transistors at channel lengths of about  $1\ \mu\text{m}$  or less and require modifications to the MOS models as well as the circuits that are designed using these MOS transistors.

Due to the second order effects small sized MOS transistors do not operate properly and therefore errors may occur in the output current function of the current mode circuits employing these transistors.

The multiplication of two current signals is one of the most important operations in analog signal processing. Recently several CMOS multipliers have been reported and some of them are based on MOS translinear principle.

Translinear circuit principle which was originally formulated for loops of bipolar transistors is generalized and the MOS translinear loop (MTL) principle is derived by Seevinck in 1991. MTL circuits are designed by applying MTL principle and used in synthesizing many nonlinear signal processing functions such as square rooting. Square root and squarer/divider circuit are two important structures of the MTL circuits and a multiplier/divider circuit can be obtained by using both square root and squarer/divider circuit.

In this paper, a method is proposed to reduce the errors generated by the second order effects in the current mode circuits employing MOS translinear loop. This method is applied to the current mode the square root and squarer/divider circuit. Thus high precision square root circuit and high precision squarer/divider circuit are proposed. Furthermore multiplier/divider circuit which contains these proposed circuits is designed and presented.

Proposed circuits have been simulated with SPICE simulator using  $0.35\ \mu\text{m}$  CMOS technology parameters. The small signal and DC transfer characteristics of the current functions of the proposed circuit and the conventional circuit are observed. The DC transfer characteristics of the output current function of the proposed multiplier/divider circuit shows approximately the ideal current function and the output current function of the conventional circuit is very different from the ideal curve. The output current function of the proposed circuits can be controlled by a control voltage. The small signal bandwidth of the proposed multiplier/divider circuit is about 50 MHz.

Analog building blocks such as analog modulator, frequency doubler and etc. can be easily obtained using the proposed multiplier/divider circuit.

The frequency doubler circuits are used in microwave, radar and wireless communication circuits frequently. So a frequency doubler circuit is designed as an application of the proposed multiplier/divider circuit and the transient analysis of this circuit is given in this study. Absolute error of the current function of the frequency doubler circuit is observed.

The proposed method enables the use of much smaller transistors and the circuits to be designed are smaller than their counterparts. Thus they may be operated at much higher frequencies.

The main advantages of the proposed circuit are reduced errors of the output current function, a smaller area on the chip, possibility of controlling the output current with the control voltage, operation at higher frequencies and more efficient power consumption.

The proposed circuit is appropriate to be used for filtering in square root domain, fuzzy logic controllers, artificial neural networks, modulators, phase discriminators, adaptive filters, RMS-DC converters, sine/cosine synthesizers, cryptography systems etc.

**Keywords:** reduction MOSFET's second order effects, square root circuit, squarer/divider circuit, multiplier circuit, frequency doubler.

## **Giriş**

Her geçen gün kullandığımız elektronik cihazlar daha da küçülmekte, daha küçük ve çok fonksiyonlu elektronik cihazlara olan ihtiyaç artarak devam etmektedir. Bu da araştırmacıları kırmık üzerinde daha az alan kaplayan devre yapıları oluşturmaya, daha az gerilim ve güç tüketen devreler tasarlamaya yönlendirmektedir. Araştırmacılar, Çok Geniş Ölçekli Tümeştirme (VLSI) teknolojisindeki gelişmeler paralelinde, daha az yer kaplayan devreler üretebilmek için yeni tasarım teknikleri geliştirmekte ve tasarladıkları devrelerde daha küçük boyutlu devre elemanları kullanmaktadırlar.

Günümüzde MOS tranzistor teknolojisi, tümeşik sayısal devrelerin ve mikroişlemci devrelerinin temelini oluşturmasının yanı sıra, analog tümeşik devre bloklarının oluşturulmasında da yaygın olarak kullanılmaktadır. MOS teknolojisinin bipolar teknolojisine göre başlıca avantajları; bu teknolojiye daha az kırmık alanı kullanılması, böylece aynı kırmık üzerine daha fazla sayıda tranzistor yerleştirilebilmesi ve daha fazla sayıda devre fonksiyonu gerçekleştirilebilmesi ile daha ekonomik olmasıdır.

Birçok analog işaret işleme fonksiyonu MOS tranzistorlarla kurulan analog tümeşik devre blokları ile gerçekleştirilebilmektedir. Elektronik biliminde büyük bir yeri olan bu uygulamalara yönelik birçok araştırmacı yeni devre sentezi teknikleri oluşturabilme ve yeni devre yapıları gerçekleştirebilme üzerine halen çalışmaktadır.

Bu devre sentezi tekniklerinden biri de translineer çevrim (TL-Translinear Loop) ilkesidir (Gilbert, 1975). Bu ilkenin MOS tranzistorlarla kurulan devrelere uygulanmış şekli olan MOS translineer çevrim (MTL) devreleri ile günümüzde birçok doğrusal ve doğrusal olmayan analog işaret işleme fonksiyonunu gerçekleştirmek mümkün olmuştur (Seevinck ve Wiegerink, 1991).

Hâlihazırda birçok devre tasarımında kullanılan bu teknikle devreler tasarlanırken, devreyi oluşturan MOS tranzistorların ideal olarak çalıştığı kabul edilerek hesaplamalar yapılmaktadır.

Özellikle büyük boyutlu MOS tranzistor kullanımında, devre tarafından gerçekleştirilmesi istenen fonksiyonlarda oluşacak hatalar oldukça az ya da görmezlikten gelinebilir ölçülerde olmakta, ancak devrelerde kullanılan tranzistor boyutları küçüldükçe devreler istenen fonksiyonları, kısa kanal etkileri gibi ikincil etkiler nedeniyle, tam anlamıyla gerçekleştiremez hale gelmektedirler. Her geçen gün kullandığımız elektronik cihazların daha da küçülmekte olduğu, daha küçük ve çok fonksiyonlu elektronik cihazlara olan ihtiyacın artarak devam ettiği göz önüne alındığında, devre tasarımcılarının MTL ilkesi ile devre tasarımı yaparken, devreyi oluşturan MOS tranzistorlardaki ikincil etkileri daha çok dikkate alması gerekliliği ortaya çıkmaktadır.

Buradan hareketle gerçekleştirilen bu çalışmada, karesel işlemlerde kullanılan MTL devrelerinin çıkış akım fonksiyonlarındaki küçülen boyutlar nedeniyle oluşan hatanın azaltılmasına yönelik önerilen yöntemle, karekök alıcı ve kare/bölücü devreler tasarlanmıştır. Tasarlanan bu devrelerin birlikte kullanılmasıyla yeni bir çarpıcı/bölücü devre önerilmiştir.

Önerilen bu devrenin çıkış akım fonksiyonu, aynı boyutlu MOS tranzistorlarla kurulan klasik devrenin çıkış fonksiyonuyla ve ideal fonksiyon ile karşılaştırılmıştır. Önerilen devrenin yüksek doğruluklu olduğu ve devrenin avantajları sunulmuştur. Ayrıca önerilen çarpıcı/bölücü devreyi oluşturan karekök alıcı ve kare/bölücü devrelerin bir  $V_C$  kontrol gerilimiyle ayarlanabilir olması, önerilen devrenin çıkış akım fonksiyonunun da elektronik olarak ayarlanabilir olmasını beraberinde getirir.

Ayrıca önerilen bu çarpıcı/bölücü devrede yüksek doğrulukta çıkış akım fonksiyonu elde edilebilmesinin yanı sıra emsallerine göre daha küçük boyutlarda MOS tranzistor kullanımı mümkün olmaktadır. Böylece tasarlanacak devreler için kırmık üzerinde çok daha az yere ihtiyaç olacak ve yüksek frekanslarda çalışmaya olanak yaratılmış olacaktır.

Önerilen çarpıcı/bölücü devrenin uygulaması olarak da bir frekans katlayıcı devre gerçekleştirilmiştir.

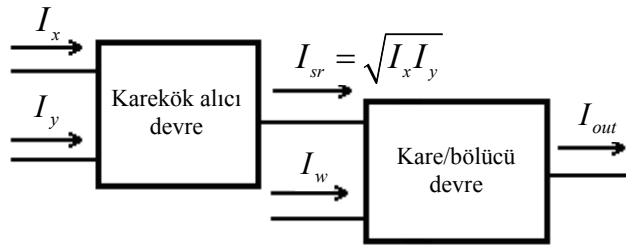
rilmiş ve önerilen devrenin, klasik yapılarla kurulan devreye göre çok daha yüksek doğrulukla çıkış akımı ürettiği gösterilmiştir.

### Akım modlu çarpıcı/bölücü devre

Analog işaret işlemede en önemli işlemlerden biri iki işaretin çarpımıdır. Son yıllarda MOS translineer çevrim kuralıyla oluşturulan birçok CMOS çarpıcı devre literatüre sunulmuştur. (Hashiesh vd., 2004; Cruz-Blas vd., 2003; Garg, vd., 2006; Li ve Maundy, 2004; Kaewdang vd., 2003).

Translineer çevrimli devreler ilk olarak bipolar tranzistörlerden kurulu çevrimlerle oluşturulmuş, daha sonra MTL devreleri gerçekleştirilmiştir. Bu devrelerle birçok doğrusal olmayan işaret işleme fonksiyonunu gerçeklemek mümkündür (Mulder vd, 1996; Payne ve Eskişerli, 2000).

Karekök alıcı devre ve kare/bölücü devre MTL çevrimle kurulabilecek iki önemli devre yapısıdır. Çarpıcı/bölücü devre de bu iki devrenin kullanılmasıyla gerçekleştirilebilir (Şekil 1).



Şekil 1. Basitleştirilmiş çarpıcı/bölücü devre

$I_x$  ve  $I_y$  karekök alıcı devrenin giriş akımları olmak üzere, bu ilk devrenin çıkış akımı aşağıdaki gibi yazılabilir;

$$I_{sr} = \sqrt{I_x I_y} \quad (1)$$

Bu akım, ikinci alt devre olan kare/bölücü devrenin giriş akımlarından biri olarak alınır. Diğer giriş akımı da  $I_w$  olmak üzere, tüm devrenin çıkış akım fonksiyonu aşağıdaki gibi elde edilebilir;

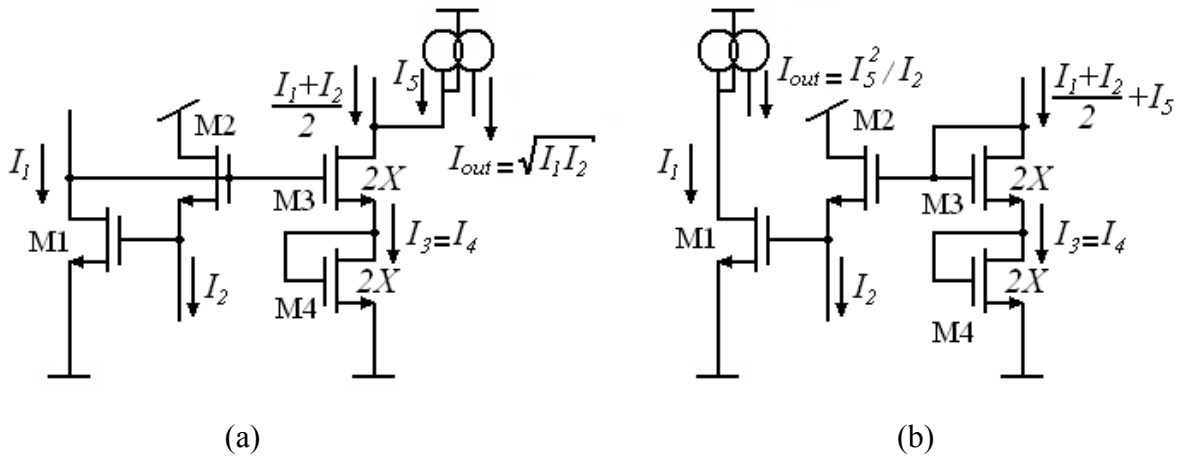
$$I_{out} = \frac{I_{in}^2}{I_w} = \frac{(\sqrt{I_x I_y})^2}{I_w} = \frac{I_x I_y}{I_w} \quad (2)$$

Yukarıda bahsedildiği gibi çarpıcı/bölücü devrenin tasarlanabilmesi için öncelikle karekök alıcı ve kare/bölücü devrenin gerçekleşmesi gereklidir.

En basit şekliyle karekök alıcı ve kare/bölücü devreyi oluşturan temel yapılar yığın MTL çevrim yöntemiyle Şekil 2'deki gibi tasarlanabilir (Lopez-Martin ve Carlosena, 2001).

Şekil 2'deki devrelerde kullanılan MOS tranzistörler için geçişletkenliği parametreleri  $\beta_1 = \beta_2 = \beta$  ve  $\beta_3 = \beta_4 = 2\beta$  olacak şekilde seçilsin. Her iki devrede MTL çevrim kuralı uygulanırsa aşağıdaki eşitlik elde edilir.

$$V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4} \quad (3)$$



Şekil 2. (a) Karekök alıcı temel yapısı (b) Kare/bölücü temel yapısı

MOS tranzistorlar için ikinci dereceden etkiler göz önüne alınmazsa, doymada çalışan MOS tranzistorun savak akımı aşağıdaki gibi ifade edilebilir.

$$I_D = \frac{1}{2} \mu_o C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{GS} - V_{TH})^2 \quad (4)$$

$V_{TH}$  eşik gerilimi her MOS tranzistor için eşit kabul edilip,  $V_{GS}$  gerilimi (4) numaralı eşitlikten çekilerek (3) nolu denklemde yerine yazılırsa aşağıdaki eşitlik elde edilir.

$$\sqrt{\frac{2I_1}{\beta}} + \sqrt{\frac{2I_2}{\beta}} = \sqrt{\frac{2I_3}{2\beta}} + \sqrt{\frac{2I_4}{2\beta}} \quad (5)$$

Şekil 2'deki temel yapılarda görüldüğü üzere M3 ve M4 tranzistorlarının savak akımları aynıdır. Bu sebeple (5) nolu denklemde  $I_3=I_4$  olarak alınıp, denklem düzenlenirse (6) nolu denklem elde edilir.

$$I_3 = \sqrt{I_1 I_2} + \frac{1}{2}(I_1 + I_2) \quad (6)$$

Devrelerin çıkışında Kirchhoff'un akım yasası uygulanırsa (7) nolu eşitlik elde edilir.

$$I_{out} = I_5 = I_3 - \frac{1}{2}(I_1 + I_2) = \sqrt{I_1 I_2} \quad (7)$$

Bu denklem, akım-modlu karekök alıcı devre fonksiyonudur. Böylece  $I_1$  ve  $I_2$  giriş akımları,  $I_5$

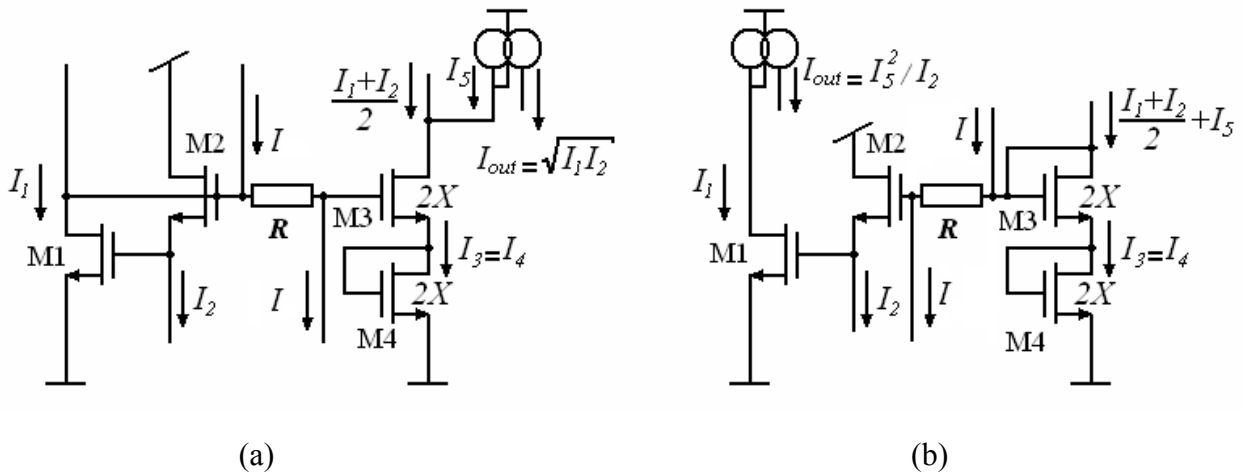
akımının kopyası da çıkış akımı olmak üzere bir karekök alıcı devre tasarlanabilir.

Benzer şekilde çıkış akımı  $I_1$  veya  $I_2$  akımlarından biri, giriş akımları da geriye kalan akım ile  $I_5$  akımı olarak alınacak şekilde devre tasarlanırsa kare/bölücü devre elde edilebilecektir.

### Önerilen çarpıcı/bölücü devre

Günümüzde tümleşik devre üretim teknolojisinin MOS tranzistor boyutlarındaki azalmayla beraber, MOS tranzistorun karesel bağıntısında ikinci dereceden etkiler daha da etkili olmaktadır. Gerçekte savak akım ifadesi, eşik gerilimini etkileyen boyut ve  $V_{DS}$  gerilim değişimi, hız doyması etkileri, etkin hareket yeteneği değişimi ve kanal boyu modülasyonu gibi ikincil etkiler nedeniyle ideal karakteristiktan farklı bir davranış gösterme eğilimindedir. Özellikle kanal boyu  $1\mu\text{m}$  ve daha az olan MOS tranzistorların davranışı idealden sapmalar gösterecektir (Gray vd., 2001; Tsividis, 1987; Tarcan ve Kuntman, 2003).

Bahsedilen ikincil etkiler nedeniyle uygun şekilde çalışmayan kısa kanallı MOS tranzistorları kullanan akım modlu devrelerin çıkış akım fonksiyonlarında da hata oluşacaktır. Bu sebeple Şekil 2'de sunulan karekök alıcı ve kare/bölücü devreler, MOS tranzistorun ikinci dereceden etkilerini azaltacak şekilde yeniden tasarlanmış ve tasarımı gerçekleştirilen bu devreler Şekil 3'te sunulmuştur (Menekay vd., 2006; Menekay vd., 2007).



Şekil 3. (a) Önerilen karekök alıcı temel yapısı (b) Önerilen kare/bölücü temel yapısı

Şekil 3'te sunulmuş önerilen devrelerde görüldüğü üzere, devrelerin çıkış akım fonksiyonlarında oluşacak olan hatanın azaltılabilmesi amacıyla M2 ve M3 MOS tranzistorlarının geçitleri arasına bir R direnci eklenmiş ve bu direnç üzerinden uygun bir akım akıtılmıştır. Böylece MTL çevrim denkleminde eklenen yeni gerilim terimi ile devrelerin çıkış akım fonksiyonunda oluşacak olan hata azaltılmıştır. Devrelerdeki R direnci bir NMOS tranzistorla gerçekleştirilebilir. Bu durumda devreler tamamen MOS tranzistorlarla kurulabilecek şekilde tümleştirilmeye uygun hale getirilebilir.

Böylece Şekil 3'te önerilen iki devrenin Şekil 1'deki gibi birlikte kullanılmasıyla yeni bir akım modlu çarpıcı/bölücü devre elde edilebilecektir. Bu şekilde gerçekleştirilmiş önerilen akım modlu çarpıcı/bölücü devre Şekil 4'te sunulmuştur.

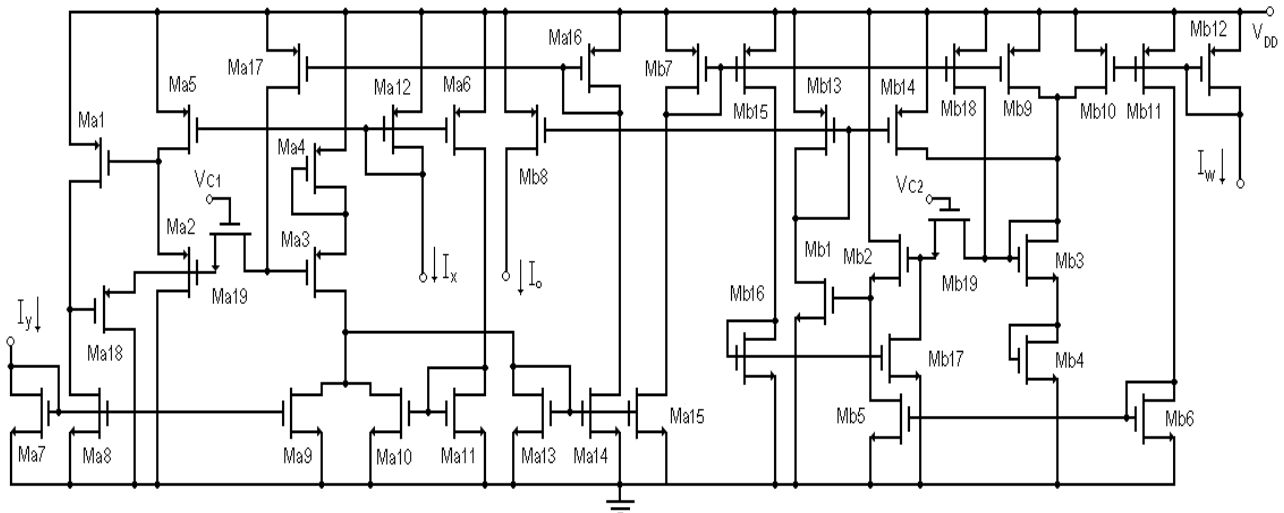
Devrede direnç görevi gören Ma19 ve Mb19 tranzistorlarının geçitleri sırasıyla Vc1 ve Vc2 kontrol gerilimlerine bağlanmıştır. Bu gerilim değerlerinin değiştirilmesiyle, her bir MOS tranzistorun direnç değeri de değiştirilebilecek, bunun sonucunda da devrenin çıkış fonksiyonunda değişiklik yapılabilme şansı elde edilebilecektir. Böylece önerilen akım modlu çarpıcı/bölücü devre elektronik olarak ayarlanabilir duruma getirilmiştir.

## Benzetim sonuçları

Şekil 4'te sunulmuş önerilen akım modlu çarpıcı/bölücü devrenin çalışmasının incelenmesi amacıyla gerçekleştirilen tüm benzetimler, SPICE benzetim programında TSMC 0.35  $\mu\text{m}$  LEVEL 3 CMOS proses parametreleri kullanılarak yapılmıştır. Önerilen devrede kullanılan MOS tranzistor boyutları Tablo 1'de sunulduğu gibi alınmış olup, devrenin besleme gerilimi de 3V olarak alınmıştır. Ayrıca devrede direnç görevi gören MOS tranzistorların geçitlerine uygulanan Vc1 ve Vc2 kontrol gerilimleri sırasıyla 2.09V ve 5V'tur.

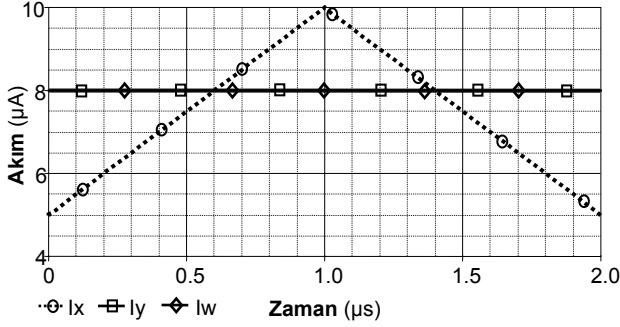
Tablo 1. Önerilen çarpıcı/bölücü devrede kullanılan MOS tranzistor boyutları

	W/L [ $\mu\text{m}$ ]	W/L [ $\mu\text{m}$ ]	W/L [ $\mu\text{m}$ ]
Ma1	6/7	Ma14	12/7
Ma2	6/7	Ma15	12/7
Ma3	12/7	Ma16	12/7
Ma4	12/7	Ma17	12/7
Ma5	12/7	Ma18	12/7
Ma6	12/7	Ma19	10/7
Ma7	12/7	Mb1	12/7
Ma8	12/7	Mb2	12/7
Ma9	6/7	Mb3	24/7
Ma10	6/7	Mb4	24/7
Ma11	12/7	Mb5	12/7
Ma12	12/7	Mb6	12/7
Ma13	12/7	Mb7	12/7
Ma14	12/7	Mb8	12/7
Ma15	12/7	Mb9	12/7
Ma16	12/7	Mb10	6/7
Ma17	12/7	Mb11	12/7
Ma18	12/7	Mb12	12/7
Ma19	10/7	Mb13	12/7
		Mb14	6/7
		Mb15	12/7
		Mb16	12/7
		Mb17	12/7
		Mb18	12/7
		Mb19	80/7



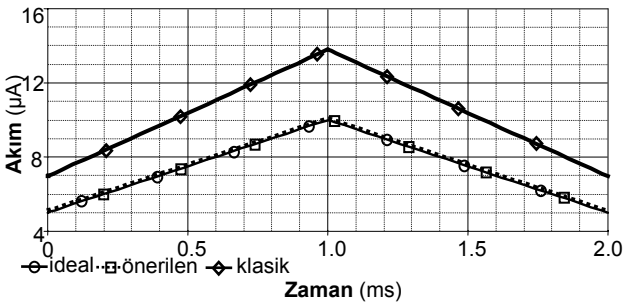
Şekil 4. Önerilen akım modlu çarpıcı/bölücü devre yapısı

Önerilen çarpıcı/bölücü devrenin zaman bölgesi benzetiminin yapılabilmesi için giriş akımlarından  $I_x$  genliği  $5\mu A$  olan üçgen dalga şeklinde bir akım, diğer giriş akımları olan  $I_y$  ve  $I_w$  ise sabit  $8\mu A$  değerinde akımlar şeklinde alınmıştır. Bu giriş akımlarının zamana göre değişimi Şekil 5'te sunulmuştur.



Şekil 5. Önerilen çarpıcı/bölücü devrenin  $I_x$ ,  $I_y$  ve  $I_w$  giriş akımları

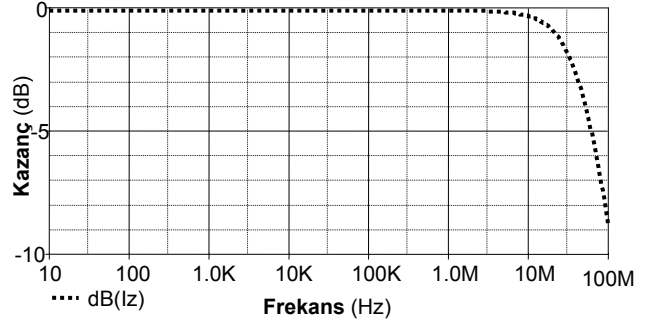
Yukarıdaki giriş işaretleri için önerilen çarpıcı/bölücü devrenin çıkış işareti, klasik yapılarla kurulan çarpıcı/bölücü devrenin çıkış işareti ve ideal fonksiyonla karşılaştırılmış, sonuçta elde edilen grafik Şekil 6'da sunulmuştur.



Şekil 6. Çıkış akımları ve ideal eğrinin karşılaştırması

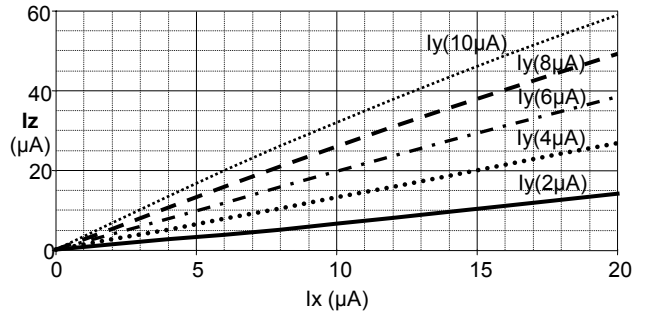
Beklendiği gibi önerilen devrenin çıkış akım fonksiyonu ideal fonksiyonla çok benzer bir değişim göstermektedir. Klasik yapılarla kurulan devrenin çıkış işareti ise oldukça farklı bir değişim göstermekte ve bu da klasik devrenin oldukça fazla hata ürettiği anlamına gelmektedir. Önerilen devrenin çıkış akım fonksiyonu  $V_{C1}$  ve  $V_{C2}$  kontrol gerilimlerinin değiştirilmesiyle de belli bir aralıkta ayarlanabilmektedir. Bu tasarımcı için önemli bir özelliktir.

Önerilen devrenin çıkış işareti için küçük işaret analizi  $I_y=I_w=15\mu A$  olması durumunda gerçekleştirilmiş ve sonuçta devrenin  $f_{3dB}$  kesim frekansı  $44MHz$  olduğu bulunmuştur. Devrenin kazanç-frekans karakteristiği Şekil 7'de sunulmuştur.



Şekil 7. Önerilen çarpıcı/bölücü devrenin kazanç-frekans karakteristiği

Önerilen devrenin DC transfer karakteristiği ise Şekil 8'de sunulmuştur. Bu analiz için giriş akımlarından  $I_w=3\mu A$  olarak alınmış,  $I_y$  ise  $2\mu A$ 'den  $10\mu A$ 'e  $2\mu A$ 'lik artışla değişen beş farklı akım değeri olarak alınıp,  $I_x$  akımının değişimine göre çıkış akımı olan  $I_z$ 'nin değişimi gözlenmiştir.



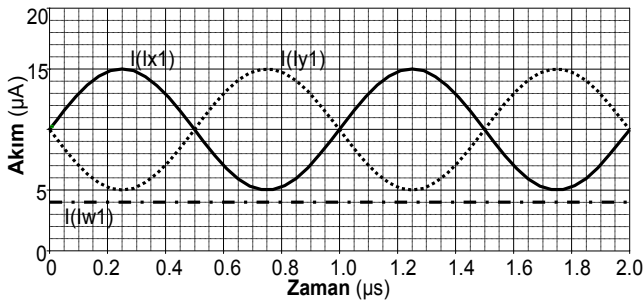
Şekil 8. Önerilen çarpıcı/bölücü devrenin DC transfer karakteristiği

Şekil 8'den de görüldüğü üzere önerilen devrenin çıkış akım işaretlerinin giriş akımlarına göre değişimi yaklaşık olarak doğrusal olmaktadır. Bu da ideal bir çarpıcı devre için olması gerekli bir özelliktir.

Önerilen çarpıcı/bölücü devrenin uygulaması için bir frekans katlayıcı devre olarak kullanılması gerçekleştirilecektir.

Frekans katlayıcı devreler özellikle mikrodalga, radar ve kablosuz iletişim uygulamalarında ihtiyaç duyulan önemli devrelerdendir (Johansen vd., 2006).

Gerçekleştirilen bu uygulamada frekans katlayıcı devre, klasik yapılarla kurulan çarpıcı/bölücü devrenin oluşturacağı frekans katlayıcı devreyle karşılaştırılacaktır. Bu karşılaştırmanın yapılabilmesi için, frekans katlayıcı devrenin girişine uygulanacak olan  $I_x$  ve  $I_y$ , matematiksel ifadeleri sırasıyla  $10(1+0.5\sin(2\pi ft))\mu A$  ve  $10(1-0.5\sin(2\pi ft))\mu A$  olan akımlar olarak alınmıştır. Bu akım işaretlerinin frekansı  $f=1\text{MHz}$  ve diğer bir giriş akımı olan  $I_w$  da sabit  $4\mu A$  olarak alınmıştır. Devreye uygulanan giriş akımlarının zamana göre değişimlerini gösteren grafik Şekil 9'da sunulmuştur.



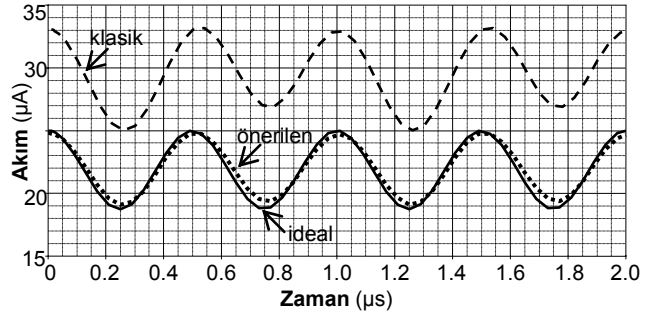
Şekil 9. Frekans katlayıcı uygulaması için giriş akımları

Frekans katlayıcı devrenin girişine uygulanan, aynı frekanslı ve aynı genlikli olmasının yanında aralarında  $180^\circ$  faz farkı olan, iki sinüs işaretinin çarpılarak sabit bir akım işaretine bölünmesiyle devrenin çıkış işareti oluşacaktır. Bu işaret, matematiksel olarak da kolaylıkla öngörülebileceği gibi, giriş işaretinin iki katı frekanslı bir kosinüs işareti olmalıdır.

Bu giriş akımlarına karşılık, önerilen çarpıcı/bölücü devre ve klasik yapılarla kurulan çarpıcı/bölücü devrenin frekans katlayıcı uygulamasının çıkışından elde edilen işaretler, olması gereken ideal işaretle birlikte Şekil 10'da gösterilmiştir.

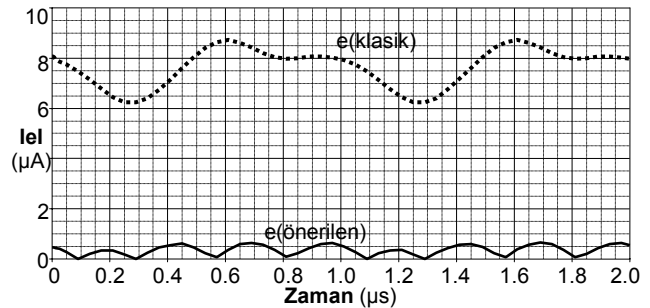
Yukarıdaki sonuçlardan da anlaşıldığı gibi, önerilen yapılarla kurulan çarpıcı/bölücü devrenin frekans katlayıcı uygulaması, klasik yapıların

kullanılmasıyla oluşturulan frekans katlayıcıya göre ideale çok daha yakın bir çıkış akımı üretmektedir.



Şekil 10. Frekans katlayıcı devrenin çıkış işaretleri ile ideal işaretin karşılaştırılması

Önerilen frekans katlayıcı devrenin, klasik yapıların kullanılmasıyla oluşturulan frekans katlayıcıyla karşılaştırılabilmesi için, çıkış akım fonksiyonunda oluşacak olan mutlak hata ( $|e| = |(I_x I_y / I_w) - I_o|$ ) analiz edilmiştir. Her iki devre için zamana göre mutlak hata değişimi Şekil 11'de gösterilmiştir. Bu analiz esnasında frekans katlayıcı devrenin giriş akımları Şekil 9'daki gibi alınmıştır.



Şekil 11. Frekans katlayıcı devrenin çıkış akım fonksiyonundaki mutlak hatanın değişimi

Görüldüğü üzere önerilen devrenin çıkış akım fonksiyonunda oluşacak olan en yüksek mutlak hata ( $0.61\mu A$ ), klasik devrenin çıkış akım fonksiyonunda oluşacak olan en yüksek mutlak hata ( $8.72\mu A$ )'ya göre çok düşüktür.

Böylece önerilen frekans katlayıcı devreyle oluşacak olan hataların oldukça azaltılabildiği de gösterilmiştir.  $V_{C1}$  ve  $V_{C2}$  kontrol gerilimleri değiştirilerek çıkış fonksiyonundaki hata belli bir aralıkta azaltılmıştır.



Burada, önerilen çarpıcı/bölücü devrenin basit bir uygulama devresi gerçekleştirilmiştir. Önerilen devre, klasik yapılarla kurulan devrelerle karşılaştırılmış ve çıkış akım fonksiyonunda hatanın azaltılabildiği gösterilmiştir. Bu devre karıştırıcılar, otomatik kazanç kontrol devreleri faz kenetlemeli çevrim devreleri, yapay sinir ağları ve bulanık mantık devreleri gibi daha birçok analog işaret işleme uygulamasında kullanılabilir.

## Sonuç ve değerlendirme

Günümüzde devre tasarımlarında kullanılan MTL çevrim tekniğiyle devreler tasarlanırken, MOS tranzistorların ideal olarak çalıştığı kabul edilerek hesaplamalar yapılmaktadır. Ancak devrelerde kullanılan tranzistor boyutları küçüldükçe devreler istenen fonksiyonları, kısa kanal etkileri gibi MOS tranzistor ikincil etkileri nedeniyle, tam anlamıyla gerçekleştiremez hale gelmektedirler. Her geçen gün kullandığımız elektronik cihazların daha da küçülmekte olduğu göz önüne alındığında, devre tasarımcılarının MTL ilkesi ile devre tasarımı yaparken, devreyi oluşturan MOS tranzistorlardaki ikincil etkileri daha çok dikkate alması gerekliliği ortaya çıkmaktadır.

Gerçekleştirilen bu çalışmada, karesel işlemlerde kullanılan MTL devrelerinin çıkış akım fonksiyonlarındaki küçülen boyutlar nedeniyle oluşan hatanın azaltılmasına yönelik önerilen yöntemle, karekök alıcı ve kare/bölücü devreler tasarlanmıştır. Tasarlanan bu devrelerin birlikte kullanılmasıyla yeni bir çarpıcı/bölücü devre önerilmiştir.

Önerilen bu devrenin çıkış akım fonksiyonu, aynı boyutlara sahip MOS tranzistorlarla kurulan klasik yapının çıkış fonksiyonuyla ve ideal fonksiyon ile karşılaştırılmıştır. Önerilen devrenin yüksek doğruluklu olduğu gerçekleştirilen analizlerle gösterilmiştir. Ayrıca önerilen çarpıcı/bölücü devreyi oluşturan karekök alıcı ve kare/bölücü devrelerin bir  $V_C$  kontrol gerilimiyle ayarlanabilir olması, önerilen devrenin çıkış akım fonksiyonunun da elektronik olarak ayarlanabilir olmasını sağlamaktadır.

Önerilen bu çarpıcı/bölücü devrede yüksek doğrulukta çıkış akım fonksiyonu elde edilebilme-

sinin yanı sıra emsallerine göre daha küçük boyutlarda MOS tranzistor kullanımı mümkün olmaktadır. Böylece tasarlanacak devreler için kırmık üzerinde çok daha az yere ihtiyaç olacak ve yüksek frekanslarda çalışmaya olanak yaratılmış olacaktır.

Ayrıca önerilen çarpıcı/bölücü devrenin uygulaması olarak bir frekans katlayıcı devre gerçekleştirilmiş ve önerilen devrenin, klasik yapılarla kurulacak olan devreye göre çok daha yüksek doğrulukla çıkış akımı ürettiği yapılan mutlak hata analiziyle de gösterilmiştir. Tüm analizler  $0.35\mu\text{m}$  CMOS parametreleri kullanılarak SPICE benzetim programında gerçekleştirilmiştir. Daha küçük teknolojiler kullanılmasında klasik yapılarla kurulan çarpıcı/bölücü devrelerin çıkış akım fonksiyonlarında oluşacak olan hata miktarının daha da artacağı değerlendirilmektedir.

## Kaynaklar

- De La Cruz-Blas, C.A., Lopez-Martin, A.J. ve Carlosena, A., (2003). 1.5V MOS translinear loops with improved dynamic range and their applications to current-mode signal processing, *IEEE Transactions on Circuits and Systems-II, Analog and Digital Signal Processing*, **50**, 12, 918-927.
- Garg, R., Govil, J. ve Goel, P., (2006). MOS translinear principle based analogue multiplier divider, *Proceeding, Mixed Design of Integrated Circuits and System*, 332-336, Gdynia.
- Gilbert, B., (1975). Translinear circuits: A proposed classification, *Electronics Letters*, **11**, 14-16.
- Gray, P.R., Hurst, P.J., Lewis, S.H. ve Meyer, R.G., (2001). *Analysis and design of analog integrated circuits*, 59, John Wiley&Sons, Inc., New York USA.
- Hashiesh, M.A., Mahmoud, S.A. ve Soliman, A.M., (2004). New current-mode and voltage-mode CMOS analog multipliers, *Proceeding, Electrical, Electronic and Computer Engineering*, 435-438, Cairo.
- Johansen, T.K., Krozer, V., Vidkjaer, J., Hadziabdic, D. ve Djurhuus, T., (2006). Millimeter-wave integrated circuit design for wireless and radar applications, *Proceeding, 24th Norchip Conference*, 257-260, Linköping.
- Kaewdang, K., Fongsamut, C. ve Surakamponorn, W., (2003). A wide-band current-mode OTA-based analog multiplier-divider, *Circuits and sys-*

- tems, *Proceeding*, International Symposium on Circuits and Systems, **1**, 349-352, Bangkok.
- Li, G. ve Maundy, B., (2004). A novel four quadrant CMOS analog multiplier/divider, circuits and systems, *Proceeding*, International Symposium on Circuits and Systems, **1**, 1108-1111, Vancouver.
- Lopez-Martin, A.J. ve Carlosena, A., (2001). A 1.5V CMOS square-root domain filter, *Proceeding*, International Conference on Electronics, Circuits, and Systems, **3**, 1465-1468, Malta.
- Menekay, S., Tarcan, R.C. ve Kuntman H., (2006). Filtering in square-root domain with a novel high-precision current-mode square-root circuit, *Proceeding*, International Electrical, Electronics and Computer Engineering Symposium, 16-21, Nicosia.
- Menekay, S., Tarcan, R.C. ve Kuntman H., (2007). CMOS yüksek doğruluklu akım-modlu kare-alıcı/bölücü devre, 15 nci IEEE Sinyal İşleme ve İletişim Uygulamaları Kurultayı (CD-ROM), Eskişehir.
- Mulder, J., van der Woerd, A., Serdjin, W. ve van Roermund, A., (1996). A current-mode companding  $\sqrt{x}$ -domain integrator, *Electronics Letters*, **32**, 198-199.
- Payne, A. ve Eskiyeerli, M., (2000). Square root domain filter design and performance, *Analog Integrated Circuits and Signal Processing*, **22**, 231-243.
- Seevinck, E. ve Wiegerink, R.J., (1991). Generalized translinear circuit principle, *IEEE Journal of Solid-State Circuits*, **26**, 198-1102.
- Tarcan, R.C. ve Kuntman, H., (2003). A new low distortion analog multiplier, *AEU International Journal of Electronics and Communications*, **57**, 6, 365-371.
- Tsividis, Y.P. (1987). *Operation and modeling of the MOS transistor*, 248, McGraw-Hill, New York, USA.